

JP 07160218/pn

L1 ANSWER 1 OF 1 JAPIO COPYRIGHT 2001 JPO
ACCESSION NUMBER: 1995-160218 JAPIO
TITLE: METHOD AND CIRCUIT FOR DRIVING SURFACE DISCHARGE TYPE
PLASMA DISPLAY PANEL
INVENTOR: KANAZAWA GIICHI
PATENT ASSIGNEE(S): FUJITSU LTD, JP (CO 000522)
PATENT INFORMATION:

PATENT NO	KIND	DATE	ERA	MAIN IPC

JP 07160218		A19950623	Heisei	(6) G09G003-28

JP

APPLICATION INFORMATION

ST19N FORMAT: JP1993-310937 19931210
ORIGINAL: JP05310937 Heisei
SOURCE: PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined
Applications, Vol. 95, No. 6
INT. PATENT CLASSIF.:
MAIN: (6) G09G003-28

ABSTRACT:

PURPOSE: To improve display quality by expanding the range capable of taking an applied voltage for address discharge and reducing luminance of a black color display.

CONSTITUTION: In a reset period, the pulse of the voltage higher than a discharge start voltage between maintaining electrodes X and Yi and the voltage for heightening the voltage between wall charge occurring on the maintaining electrode Yi side and the wall charge occurring on the maintaining electrode X side than the discharge start voltage is applied between the electrodes X and Yi, and at this time, address electrode potential is made a nearly mean value between both potential of the electrodes X and Yi. In an address period, the pulse of the potential -Vs is applied to the selected electrode Yi, and the pulse of the potential Va is applied to the address electrode Aa to be lightened. Where, $V_{smin} \leq V_s < V_{fxymmin}$, $V_a + V_s \geq V_{faymax}$, and V_{smin} is a minimum voltage capable of continuing maintaining discharge, $V_{fxymmin}$ is a minimum discharge start voltage between the electrodes X and Y1-Yn and V_{faymax} is a maximum discharge start voltage between the address electrodes A1-Am and the maintaining electrodes Y1-Yn.

(5) Japanese Patent Application Laid-Open No. 7-160218 (1995)
(corresponds to JP No. 2,772,753 and USP No. 5,446,344)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-160218

(43) 公開日 平成7年(1995)6月23日

(51) Int. Cl.⁶

G 0 9 G 3/28

識別記号

庁内整理番号

F I

技術表示箇所

E 9378-5G

審査請求 未請求 請求項の数17 O L (全 22 頁)

(21) 出願番号 特願平5-310937

(22) 出願日 平成5年(1993)12月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 松本 眞吉

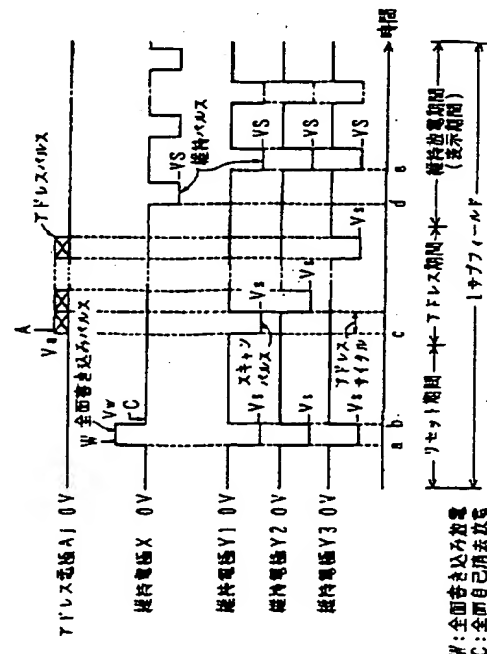
(54) 【発明の名称】 面放電型プラズマディスプレイパネルの駆動方法及び駆動回路

(57) 【要約】

【目的】 アドレス放電のための印加電圧の採り得る範囲をより広くし又黒色表示の輝度を低減することにより表示品質を向上させる。

【構成】 リセット期間では、維持電極XとYs間の放電開始電圧より高い電圧且つ放電により維持電極Yi側に生ずる壁電荷と維持電極X側に生ずる壁電荷との間の電圧を該放電開始電圧より高くするための電圧のパルスを、電極XとYs間に印加し、この際、アドレス電極電位を、電極XとYsの両電位の略平均値にする。アドレス期間では、選択した電極Ysに電位 $-V_s$ のパルスを印加し、同時に、点灯させるアドレス電極Aaに電位 V_a のパルスを印加する。ここに、 $V_{smin} \leq V_s < V_{fxym}$ 、 $V_a + V_s \geq V_{faymax}$ であり、 V_{smin} は維持放電持続可能な最小電圧、 V_{fxym} は電極XとY1~Ynとの間の最小放電開始電圧、 V_{faymax} は、アドレス電極A1~Amと維持電極Y1~Ynとの間の最大放電開始電圧である。

本発明の第2実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図



【特許請求の範囲】

【請求項 1】 第 1 基板に第 1 及び第 2 の電極が互いに平行に、表示ライン毎に対をなして配置され、該第 1 基板又は該第 1 基板と離間して対向配置された第 2 基板に、該第 1 及び第 2 の電極と離間して交差するように第 3 電極 (A_j) が配置され、該第 1 及び第 2 の電極の表面が壁電荷蓄積用の誘電体層で被われ、該第 2 基板側に蛍光体が形成され、該第 1 基板と該第 2 基板との間の空間に放電用のガスが封入され、該第 1 及び第 2 の電極と該第 3 電極との各交差部にセルが形成された面放電型プラズマディスプレイパネルに対し、

該誘電体の表面の電荷分布を均一にさせるために互いに隣接した該第 1 と第 2 の電極間に第 1 電圧のパルスを加して放電させるリセット工程と、

点灯させる該セルの該誘電体表面の該第 1 電極 (X) に対応した部分及び該第 2 電極 (Y_i) に対応した部分にそれぞれ一定量以上で極性が互いに逆の第 1 及び第 2 の壁電荷を蓄積させるために、該第 2 電極と、点灯させる該セルに対応した該第 3 電極との間に第 2 電圧のパルスを加して放電させる書き込み工程と、

該第 1 と第 2 の壁電荷間の第 3 電圧と、該第 3 電圧と同一極性で該第 1 電極と該第 2 電極との間に印加する第 4 電圧との和が第 1 の放電開始電圧以上になる該セルを点灯させ、放電毎に該第 1 壁電荷及び該第 2 壁電荷の極性が逆になるようにするために、互いに隣接した該第 1 と第 2 の電極間に該第 4 電圧のパルスとして交流電圧パルスを加する維持放電工程と、

を繰り返し実行し、毎回の維持放電工程の最後の該交流電圧パルスの極性が、該リセット工程での第 1 電圧のパルスの極性と逆になっている面放電型プラズマディスプレイパネル駆動方法において、

該第 1 電圧のパルスは、該第 1 の放電開始電圧より高く且つ放電により生ずる該第 3 電圧が該第 1 の放電開始電圧より高くなる電圧パルスであり、該第 1 電圧のパルス印加後の該第 1、第 2 及び第 3 の電極の電位を互いに等しくする、

ことを特徴とする面放電型プラズマディスプレイパネル駆動方法。

【請求項 2】 前記第 1 電圧のパルスを印加している間、前記第 3 電極 (A_j) の電位を、該第 1 電極 (X) の電位と該第 2 電極 (Y_i) の電位の略平均値にする、ことを特徴とする請求項 1 記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 3】 前記第 1 電圧のパルスを、前記第 2 電極 (Y_i) をグラウンドレベルにし前記第 1 電極 (X) に正の電圧パルスを印加することにより生成する、ことを特徴とする請求項 2 記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 4】 前記第 1 電圧のパルスを印加している間、前記第 3 電極 (A_j) の電位をグラウンドレベルにす

る、

ことを特徴とする請求項 2 記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 5】 前記第 1 電圧のパルスの印加前及び後の前記第 1、第 2 及び第 3 の電極の電位はグラウンドレベルである、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 6】 前記リセット期間において、前記第 1 電圧のパルスを印加した後、さらに、前記第 1 と第 2 の電極間に、前記第 1 の放電開始電圧より低く、且つ、立ち上がりの傾斜が緩やかな消去パルスを印加することにより、異常セルであるために該第 1 電圧パルスで消去できなかった前記第 1 及び第 2 の壁電荷に該消去パルスの電圧を上乗せして放電させ該壁電荷を消去させることを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 7】 異常セルであるために該第 1 電圧パルスで消去できなかった前記第 1 及び第 2 の壁電荷の極性を統一し且つ増幅して前記消去パルスでより多く消去するために、前記第 1 電圧のパルスと前記消去パルスとの間の時間において、前記第 1 と第 2 の電極間に、前記第 1 の放電開始電圧より低く極性が該第 1 電圧と逆のパルスを印加し、次に、該第 1 の放電開始電圧より低く極性が該第 1 電圧と同一のパルスを印加し、次に印加する前記消去パルスの極性を該第 1 電圧と逆にする、ことを特徴とする請求項 6 記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 8】 前記書き込み工程において、前記第 2 電圧は、前記第 2 と第 3 の電極間の第 2 の放電開始電圧以上であり、

前記第 4 電圧が機能する最小値を V_{smin} とし、前記第 1 の放電開始電圧を f_{xymin} としたとき、前記第 1 と第 2 の電極間に $V_{smin} \leq V_s < V_{fxymin}$ なる第 5 電圧 V_s のパルスを印加する、

ことを特徴とする請求項 1 乃至 7 のいずれか 1 つに記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 9】 前記第 5 電圧を前記第 1 の放電開始電圧に近い値にする、

ことを特徴とする請求項 8 記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 10】 前記第 2 電圧のパルスは、グラウンドレベルに対し前記第 2 電極 (Y_i) の電位を負にし且つ前記第 3 電極 (A_j) をグラウンドレベルにした状態で該第 3 電極に印加した正パルスであり、

前記第 5 電圧のパルスは、前記第 1 電極 (X) の電位を該第 3 電極の電位に等しくした状態で該第 2 電極に印加した負パルスである、

ことを特徴とする請求項 8 記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 1 1】 前記第 2 電極 (Y i) の電位は、前記第 5 電圧の $1/4 \sim 3/4$ 程度であることを特徴とする請求項 1 0 記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 1 2】 前記第 2 電圧のパルスの幅を、前記第 5 電圧のパルスの幅よりも狭くする、ことを特徴とする請求項 1 乃至 1 1 のいずれか 1 つに記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 1 3】 前記維持放電工程において、前記第 3 電極 (A j) の電位をグラウンドレベルに対し正の電位とする、

ことを特徴とする請求項 1 乃至 1 2 のいずれか 1 つに記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 1 4】 前記維持放電工程の最初の該第 4 電圧のパルスを印加する前に、前記第 1 及び第 2 の電極に同時に、前記第 3 電極 (A j) との電位差が前記第 4 電圧の $1/4 \sim 3/4$ 程度の正のパルスを印加する、

ことを特徴とする請求項 1 3 記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 1 5】 前記維持放電工程において、前記第 3 電極 (A j) に接続された駆動回路出力端をハイインピーダンスにする、

ことを特徴とする請求項 1 乃至 1 4 のいずれか 1 つに記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 1 6】 前記リセット工程を全ての前記セルに対し同時に実行し、

次に、前記第 2 電極 (Y i) について一方から他方へ 1 つずつ順に前記書き込み工程を実行し、

次に、全ての前記第 1 及び第 2 の電極について前記維持放電工程を同時に実行する、

ことを特徴とする請求項 1 乃至 1 5 のいずれか 1 つに記載の面放電型プラズマディスプレイパネル駆動方法。

【請求項 1 7】 第 1 基板に第 1 及び第 2 の電極が互いに平行に、表示ライン毎に対をなして配置され、複数の該第 1 電極 (X) が共通に接続され、該第 1 基板又は該第 1 基板と離間して対向配置された第 2 基板に、該第 1 及び第 2 の電極と離間して交差するように第 3 電極 (A j) が配置され、該第 1 及び第 2 の電極の表面が壁電荷蓄積用の誘電体層で被われ、該第 2 基板側に蛍光体が形成され、該第 1 基板と該第 2 基板との間の空間に放電用のガスが封入され、該第 1 及び第 2 の電極と該第 3 電極との各交差部にセルが形成された面放電型プラズマディスプレイパネルに対し、

該誘電体の表面の電荷分布を均一にさせるために互いに隣接した該第 1 と第 2 の電極間に第 1 電圧のパルスを印加して放電させ、点灯させる該セルの該誘電体表面の該第 1 電極に対応した部分及び該第 2 電極 (Y i) に対応した部分にそれぞれ一定量以上で極性が互いに逆の第 1 及び第 2 の壁電荷を蓄積させるために、該第 2 電極と、点灯させる該セルに対応した該第 3 電極との間に第 2 電

圧のパルスを印加して放電させ、該第 1 と第 2 の壁電荷間の第 3 電圧と、該第 3 電圧と同一極性で該第 1 電極と該第 2 電極との間に印加する第 4 電圧との和が第 1 の放電開始電圧以上になる該セルを点灯させ、放電毎に該第 1 壁電荷及び該第 2 壁電荷の極性が逆になるようにするために、互いに隣接した該第 1 と第 2 の電極間に該第 4 電圧のパルスとして交流電圧パルスを印加する面放電型プラズマディスプレイパネルの駆動回路において、該面放電型プラズマディスプレイパネルの駆動回路は、該第 1 電圧のパルスを、該放電開始電圧より高く且つ放電により生ずる該第 3 電圧が該第 1 の放電開始電圧より高くなる電圧のパルスとし、該第 1 電圧のパルス印加後の該第 1、第 2 及び第 3 の電極の電位を互いに等しくする、ことを特徴とする面放電型プラズマディスプレイパネルの駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、面放電型プラズマディスプレイパネルの駆動方法及び駆動回路に関する。

【0002】

【従来の技術】

【第 1 従来例】 図 1 4 は、3 電極を有する面放電型プラズマディスプレイパネル (以下、PDP と言う) の第 i 行第 j 列の画素を構成するセル 1 0 の断面概略構成を示す。紙面垂直方向に延びた一对の維持電極 X 及び Y i は、ガラス基板 1 1 上に形成され、その上に壁電荷保持用の誘電体層 1 2 が被着され、さらにその上に MgO 保護膜 1 3 が被着されている。一方、紙面左右方向に延びたアドレス電極 A j は、ガラス基板 1 1 と対向配置されたガラス基板 1 4 上に形成され、その上に蛍光体 1 5 が被着されている。蛍光体 1 5 は、誘電体でもある。また、ガラス基板 1 4 上には、画素境界に隔壁 1 6 が形成されている。MgO 保護膜 1 3 と蛍光体 1 5 との間の放電空間 1 7 には、例えば Ne + Xe ペニング混合ガスが封入されている。

【0003】 PDP は、 $n \times m$ 画素、すなわち、 $i = 1 \sim n$ 、 $j = 1 \sim m$ とする。任意の維持電極 Y i とアドレス電極 A j との交差部の点灯/消灯を可能にするために、維持電極 Y 1 ~ Y n 間及びアドレス電極 A 1 ~ A m 間は互いに絶縁されている。これに対し、各維持電極 Y 1 ~ Y n と互いに平行に対になっている維持電極 X は、端部で共通に接続されている。

【0004】 図 1 5 は、従来の第 1 の PDP 駆動方法を示す電極印加電圧波形図であり、1 駆動サイクル分を示す。この駆動方法は、線順次・自己消去アドレス方式であり、維持電極 Y i は、維持電極 Y 1 ~ Y n の順に 1 つずつ選択される。以下、選択された維持電極 Y i を Y s で表し、非選択の維持電極 Y i を Y t で表す。例えば $s = 1$ のとき、 $t = 2 \sim n$ である。また、維持電極 Y s を含む 1 行分のセルを選択ラインと称し、維持電極 Y t を

含む1行分のセルを非選択ラインと称する。さらに、選択ラインのうち、点灯させるセルに対応したアドレス電極A_jをA_aで表し、消灯させるセルに対応したアドレス電極A_jをA_bで表す。

【0005】(a) 維持電極Y_tを0Vにした状態で、*

$$VS + VW > Vf_{xy} > VW$$

を満たすように定められ(電位VSは後述のように定められる)、選択ラインのみ、その全セルについて維持電極XとY_sとの間で書き込み放電Wが生ずる。この際、放電が進むにつれて、選択ラインの維持電極Xの上方の保護膜13の表面(以下、維持電極X側と言う)には電子である負の壁電荷が蓄積され、一方、維持電極Y_sの上方の保護膜13の表面(以下、維持電極X側と言う)※

$$VS + V_{wall1} > Vf > VS$$

を満たすように定められる。これにより、選択ラインのみに維持電極XとY_sとの間で維持放電Sが生じ、前回とは逆に、維持電極X側に正の壁電荷が蓄積され、維持電極Y_s側に負の壁電荷が蓄積される。

【0007】(c) 維持電極X、Y_t及びアドレス電極A_aを0Vにした状態で、維持電極Y_sに電位-VSの★20

$$VA + VS + V_{wall2} > Vf_{ay} > VS$$

を満たすように定められる。これにより、選択ラインの消灯させるセルについてはさらに、アドレス電極A_bと維持電極Y_sの間でも同時にアドレス放電が生じ、維持電極Y_s側には正の壁電荷が過剰に蓄積される。電位VAはまた、このアドレス放電後、維持電極X、Y_s及びアドレス電極A_bを共に0Vとしたときに、壁電荷自身で維持電極XとY_i間で放電が生ずるように定められる。しかし、この自己消去放電は、壁電荷量が充分でなく且つアドレスパルス印加後に充分な時間を確保できないので、壁電荷が残る場合がある。この残留壁電荷は、維持パルスの上乗せで維持放電が生じなければ問題ない。

【0008】この自己消去放電が生じたセルは、これ以降に維持電極XとY_iとに交互に維持パルスが印加されても、維持放電が生ぜず、消灯状態になる。これに対し、点灯させるセルに対してはアドレス電極A_jにアドレスパルスが印加されないため、維持パルスにより維持放電を繰り返し、点灯状態となる。各表示ラインの駆動サイクルの変化を図16に示す。横軸は時間であり、縦軸は表示ラインである。図中、Wは表示データ書換え駆動サイクル、Sは現フィールドの維持放電のみの駆動サイクル、sは前フィールドの維持放電のみの駆動サイクルである。

【0009】[第2従来例] 図17は、従来の第2のPDP駆動方法を示す電極印加電圧波形図であり、1サブフィールド分を示している。この駆動方法は、アドレス/維持放電分離型・自己消去アドレス方式であり、1サブフィールドは、全セルの壁電荷を少し残した状態にするためのリセット期間と、点灯させる画素に対し後の維

*維持電極Xに電位VWの書き込みパルスが印加され、同時に、維持電極Y_sに電位VSのパルスが印加される。維持電極XとY_iとの間の放電開始電圧をVf_{xy}とすると、電位VWは、

$$\dots (1)$$

※にはイオンである正の壁電荷が蓄積される。これら壁電荷は放電空間内の電界強度を低減させるので、放電は直ちに収束に向かい、1〜数μsで終結する。終結したときの壁電荷による電圧をV_{wall1}で表す。

【0006】(b) 維持電極Y_s及びY_tを0Vにした状態で、維持電極Xに電位-VSの維持パルスが印加される。電位VSは、

$$\dots (2)$$

★維持パルスが印加され、同時に、アドレス電極A_bに電位-VAのアドレスパルスが印加される。これにより、選択ラインの維持電極XとY_sとの間で維持放電が生じる。アドレス電極A_jとY_iとの間の放電開始電圧をVf_{ay}とし、維持電極Y_sの壁電荷の電位をV_{wall2}すると、電位VAは、

$$\dots (3)$$

持放電が可能な程度に壁電荷をアドレス放電により蓄積させるためのアドレス期間と、壁電荷に維持パルスを上乗せして、アドレス放電が生じたセルに対してのみ維持放電を生じさせるための維持放電期間とに分けられる。

【0010】(a) リセット期間では、最初に、維持電極Y₁〜Y_nを0Vにした状態で、維持電極Xに電位VS+Wの書き込みパルスが印加される。電位VWは、上式(1)を満たすように定められており、維持電極XとY₁〜Y_nとの間で全面書き込み放電Wが生ずる。

(b) 維持電極Xを0Vにした状態で、維持電極Y₁〜Y_nに電位VSの維持パルスが印加される。電位VSは、上式(2)を満たすように定められており、維持電極XとY₁〜Y_nとの間で全面維持放電Sが生ずる。

【0011】(c) 維持電極Y₁〜Y_nを0Vにした状態で、電位VSより低い電位の消去パルスが維持電極Xに印加され、同時に、アドレス電極A_bに電位-VAのアドレスパルスが印加される。これにより、一部の壁電荷が中和されて、壁電荷の削減が行われる。このとき、維持電極Y₁〜Y_nに残った負の壁電荷は、低い電位VAで次のアドレス放電を生じさせるのに役立つ。この壁電荷の量は、アドレス期間でアドレス放電を行わなかったセルに対し維持放電期間で維持パルスにより維持放電が生じない程度にする必要がある。

【0012】次に、アドレス期間に移る。

(d) 維持電極X及びY₁〜Y_nを電位VSにする。

(e) 維持電極Y₁を選択し、すなわち維持電極Y₁〜Y_nのうちY₁のみにスキャンパルスが印加され、同時に、選択ラインの点灯させるセルについてのみアドレス電極A_aに電位VAのアドレスパルスが印加されて、書

き込み放電を生じさせる。以下、維持電極 $Y_2 \sim Y_n$ を順次選択して、書き込み放電を生じさせる。次に、維持放電期間に移る。

【0013】(f) 維持電極 $Y_1 \sim Y_n$ の電圧波形を互いに同一にし、維持電極 X と Y とに交互に維持パルスが印加されて、アドレス期間で書き込みを行ったセルを点灯させる。

【0014】

【発明が解決しようとする課題】

【第1の問題】しかし、図17の駆動方法では、アドレス放電を低くするためにリセット期間で壁電荷を残留させるので、残留壁電荷のばらつきや変化により、全ての条件下で安定に動作する電位 VA の採り得る範囲が狭くなったり、電位 VA の最適値が変化して、動作が不安定になり、表示品質が低下するという問題があった。残留壁電荷のばらつきや変化は、次のような原因により生ずる。

【0015】(1) 全面書き込み放電によって作られる壁電荷は、前のサブフィールドの点灯状態に依存する。

(2) PDPの電極も含めた駆動回路のインピーダンスが温度によって変動し、このインピーダンスが放電特性に影響する。

(3) セルの放電特性が温度に依存する。

【0016】図15の駆動方法においても、アドレス放電前に維持電極 X 及び Y_s に壁電荷が蓄積されているので、前記と同様の問題が生ずる。

【第2の問題】また、図17の駆動方法では、維持放電期間の長短、すなわち、維持パルスの回数によって、輝度が決定される。

【0017】そこで、図18に示す如く、1フレームを例えば8個のサブフィールド $SF_1 \sim SF_8$ に区分し、サブフィールド $SF_1 \sim SF_8$ の維持放電期間の比を $1:2:4:8:16:32:64:128$ とすることにより、256階調表示を行うことができる。画面の書換えを60Hzとすると、1フレームは $16.6\mu s$ となる。1フレーム内の維持放電を510サイクル(1サイクルで2回放電)とすると、サブフィールド $SF_1 \sim SF_8$ の維持放電のサイクル数はそれぞれ2、4、8、16、32、64、128及び256となる。維持放電周期を $8\mu s$ とすると、1フレーム内での維持放電期間の合計は $4.08\mu s$ となる。各サブフィールドのリセット期間に $50\mu s$ 程度必要とすると、500ラインのPDPを駆動するためには、1アドレスサイクルは $3\mu s$ となる。

【0018】リセット期間での2～3回の放電は、壁電荷の分布をより均一にするので、後の安定動作のために大きな役割を果たしているが、黒色表示でもこの放電で発光するため、コントラストの低下を招く。例えば、図17及び図18に示す駆動方式において、1フレーム内の維持放電回数を $510 \times 2 = 1020$ とする。1サブ

フィールド内のリセット期間では、全面書き込み放電と維持放電と消去放電との3回の放電がある。この放電は、維持放電期間での維持放電よりも規模が大きいのので、この3回の放電による明るさは、通常の維持放電の5回分程度に相当する。したがって、最大輝度と、最小輝度である黒色表示の輝度との比は、 $1020:5 \times 8 = 26:1$ となる。

【0019】これは、暗室中での値であるが、照明のある室内では、PDPの表面反射も加わるため、コントラストがより低い値となる。このため、高階調表示を行う意味が無くなる。また、映像表示においては、黒レベルが表示品質の重要なファクターであることから、好ましくない。図15の駆動方法においても、選択ラインの全セルについて、書き込み放電 W と、次の維持放電 S と、アドレス放電と並行して消灯させるセルについても行われる維持放電 S との計3回の放電が、最大輝度と黒色表示の最小輝度との比を低下させるという前記同様の問題が生ずる。

【0020】本発明の第1の目的は、上記問題点に鑑み、アドレス放電のための印加電圧の採り得る範囲をより広くすることにより、表示品質を向上させることができる面放電型プラズマディスプレイパネルの駆動方法及び駆動回路を提供することにある。本発明の第2の目的は、黒色表示の輝度を低減することにより、表示品質を向上させることができる面放電型プラズマディスプレイパネルの駆動方法及び駆動回路を提供することにある。

【0021】

【課題を解決するための手段及びその作用】図1及び図2は、本発明に係る面放電型プラズマディスプレイパネル駆動方法の特徴部分の原理構成を示す。本第1発明では、第1基板に第1及び第2の電極が互いに平行に、表示ライン毎に対をなして配置され、該第1基板又は該第1基板と離間して対向配置された第2基板に、該第1及び第2の電極と離間して交差するように第3電極 A_j が配置され、該第1及び第2の電極の表面が壁電荷蓄積用の誘電体層で被われ、該第2基板側に蛍光体が形成され、該第1基板と該第2基板との間の空間に放電用のガスが封入され、該第1及び第2の電極と第3電極 A_j との各交差部にセルが形成された面放電型プラズマディスプレイパネルに対し、該誘電体の表面の電荷分布を均一にさせるために互いに隣接した該第1と第2の電極間に第1電圧のパルス印加して放電させるリセット工程と、点灯させる該セルの該誘電体表面の第1電極 X に対応した部分及び第2電極 Y_i に対応した部分にそれぞれ一定量以上で極性が互いに逆の第1及び第2の壁電荷を蓄積させるために、第2電極 Y_i と、点灯させる該セルに対応した第3電極 A_j との間に第2電圧のパルス印加して放電させる書き込み工程と、該第1と第2の壁電荷間の第3電圧と、該第3電圧と同一極性で第1電極 X と第2電極 Y_i との間に印加する第4電圧との和が第1

の放電開始電圧以上になる該セルを点灯させ、放電毎に該第1壁電荷及び該第2壁電荷の極性が逆になるようにするために、互いに隣接した該第1と第2の電極間に該第4電圧のパルスとして交流電圧パルスを印加する維持放電工程と、を繰り返して実行し、毎回の維持放電工程の最後の該交流電圧パルスの極性が、該リセット工程での第1電圧のパルスの極性と逆になっている面放電型プラズマディスプレイパネル駆動方法において、例えば図2に示す如く、該第1電圧のパルスは、該第1の放電開始電圧より高く且つ放電により生ずる該第3電圧が該第1の放電開始電圧より高くなる電圧パルスであり、該第1電圧のパルス印加後の該第1、第2及び第3の電極の電位を互いに等しくする。

【0022】図1では第2電極Y_iが第2基板に形成されているが、本発明は、公知の構成のように、第2電極Y_iが第1基板側の、第1電極X及び第2電極Y_iに対し該第2基板側又はこれと反対側に形成されていても適用可能である。本第1発明のリセット工程での動作を、図1及び図2を参照して説明する。

(a) リセット工程前では、壁電荷の量が前の表示状態で異なるが、次の(b)での第1電圧のパルスが該壁電荷に上乗せされるように、維持工程を終了する。

【0023】(b) 第1電極Xと第2電極Y_iとの間に印加される第1電圧のパルスは、第1電極Xと第2電極Y_iとの間の第1の放電開始電圧より高いので、壁電荷が存在しなくてもこれら電極間に、維持放電工程での放電に比し大規模の放電が生ずる。

(c) 放電により生じた電子及び正イオンは、これと逆極性の第1電極X又は第2電極Y_iに引きつけられ、誘電体層1の表面に蓄積され、第1電極X側の第1壁電荷及び第2電極Y_i側の第2壁電荷となる。これら壁電荷は放電空間内の電界強度を低減させるので、放電は直ちに収束に向かい、1〜数 μ sで終結する。

【0024】(d) 第1電圧のパルスは、この1壁電荷と第2壁電荷との間の第3電圧が第1の放電開始電圧より高くなる電圧パルスであるので、維持放電工程での放電に比し大規模の放電が再度生ずる。

(e) この大規模放電と、第1、第2及び第3の電極の電位が互いに等しいことから、壁電荷は殆ど蓄積されず且つ空間電荷は殆ど完全に中和される。維持放電程度では、第1、第2及び第3の電極の電位を互いに等しくしても、このような自己消去放電は生じない。

【0025】(f) 空間には、再結合しきれない多少の電荷が漂っているが、この空間電荷は、次のアドレス放電において、放電を起こし易くする種火の役割を果たす。自己消去放電がほぼ完全に行われるのに必要な待ち時間は、セルの材質、寸法、封入ガスの種類及び密度等により異なるが、5 μ s程度以上である。待ち時間が長すぎると、他の工程の時間が短縮され、また、ブライミング効果が小さくなるので、50 μ s程度以下にする必

要がある。

【0026】この第1発明では、このような自己消去放電を行って、壁電荷が殆ど完全に中和するようにしているので、点灯させるセルに書き込みを行う際には、第1及び第2の電極付近の状態が均一化されている。これにより、書き込み工程でのパルスの第2電圧の採り得る範囲が広くなり、書き込み放電前の電荷分布の状態や温度の変化等によらず常時安定したアドレス放電を行うことが可能となり、書き込みミスを防止して表示品質を向上させることができる。

【0027】また、消灯させるセルについては、第1と第2の電極間で放電が生じないようにできるので、最大輝度と黒色表示の最小輝度との比が従来より高くなり、階調表示の品質が向上する。第1発明の第1態様では、例えば図2(A)〜(C)に示す如く、第1電圧のパルスを印加している間、第3電極A_jの電位を、第1電極Xの電位と第2電極Y_iの電位の略平均値にする。略平均値は、平均値に近い方が好ましいが、(平均値)±(第1電圧)/4以内程度であればその効果が得られる。

【0028】この第1態様では、第1電極Xに対する第3電極A_jの電圧と第2電極Y_jに対する第3電極A_jの電圧とが、絶対値が略等しく符号が逆になるので、第3電極A_jの正電荷に対する引力と負電荷に対する引力が略等しくなり、第3電極A_j側で正電荷と負電荷が中和して第3電極A_j側への壁電荷蓄積量が殆ど0になる。このため、第1発明の効果が高められる。

【0029】第1発明の第2態様では、例えば図2

(A)に示す如く、第1電圧のパルスを、第2電極Y_iをグラウンドレベルにし第1電極Xに正の電圧パルスを印加することにより生成する。この第2態様によれば、負の高圧パルスが不要であるので、駆動回路用電源を、簡単、小型かつ安価に構成できる。

【0030】第1発明の第3態様では、例えば図2

(B)に示す如く、第1電圧のパルスを印加している間、第3電極A_jの電位をグラウンドレベルにする。この第3態様によれば、電源電圧を低くすることができる。第1発明の第4態様では、例えば図2(A)〜(C)に示す如く、第1電圧のパルスの印加前及び後の第1、第2及び第3の電極X、Y_i及びA_jの電位はグラウンドレベルである。

【0031】第1発明の第5態様では、例えば図6に示す如く、リセット期間において、第1電圧のパルスを印加した後、さらに、第1と第2の電極間に、第1の放電開始電圧より低く、且つ、立ち上がりの傾斜が緩やかな消去パルスを印加する。この第5態様によれば、異常セルであるために第1電圧パルスで消去できなかった第1及び第2の壁電荷に消去パルスの電圧を上乗せして放電させ壁電荷を消去させることができ、余剰点灯を防止して表示品質を向上させることができる。消去パルスの立

ち上がりの傾斜を緩やかにするのは、量にばらつきのある壁電荷を効率よく放電させるためである。

【0032】第1発明の第6態様では、例えば図6に示す如く、第1電圧のパルスと消去パルスとの間の時間において、第1と第2の電極間に、第1の放電開始電圧より低く極性が第1電圧と逆のパルスを印加し、次に、第1の放電開始電圧より低く極性が第1電圧と同一のパルスを印加し、次に印加する消去パルス極性を第1電圧と逆にする。

【0033】この第6態様によれば、異常セルであるために第1電圧パルスで消去できなかった第1及び第2の壁電荷の極性が統一され且つ増幅されるので、消去パルスで第5実施例よりも多く消去することができる。異常セルの割合は一般に少ないので、この消去により、書き込みしなかった場合に維持放電工程で放電できない程度壁電荷が残っていても問題はない。また、この残留壁電荷の極性が、書き込み工程において第2電極と第3電極との間の電圧を低下させる極性となるので、点灯させないセルの放電が妨げられ、余剰点灯防止上好ましい。

【0034】第1発明の第7態様では、書き込み工程において、第2電圧は、第2と第3の電極間の第2の放電開始電圧以上であり、第4電圧が機能する最小値を V_{smin} とし、第1の放電開始電圧を $f_{xy}m_i$ としたとき、第1と第2の電極間に $V_{smin} \leq V_s < V_{fxy}m_i$ なる第5電圧 V_s のパルスを印加する。この第7態様によれば、消灯させるセルについては、書き込み工程において確実に第1と第2の電極間で放電が生じないようにすることができる。

【0035】第1発明の第8態様では、第5電圧を第1の放電開始電圧に近い値にする。この第8態様によれば、第2電極 Y_i と第3電極 A_j との間の小規模放電で、十分に第1電極 X と第2電極 Y_i との間の放電の引き金となるので、駆動回路の消費電力を低減することができる。第1発明の第9態様では、例えば図5に示す如く、第2電圧のパルスは、グラウンドレベルに対し第2電極 Y_i の電位を負にし且つ第3電極 A_j をグラウンドレベルにした状態で第3電極 A_j に印加した正パルスであり、第5電圧のパルスは、第1電極 X の電位を第3電極 A_j の電位に等しくした状態で第2電極 Y_i に印加した負パルスである。

【0036】この第9態様によれば、上記第8態様の効果に加え、電源電圧の種類が1つ減るので、電源回路がより簡単となる。また、維持放電工程において維持放電が可能な量の壁電荷を効率よく生成することができる。第1発明の第10態様では、第2電極 Y_i の電位は、第5電圧の $1/4 \sim 3/4$ 程度である。

【0037】この第10態様によれば、セルに隔壁を設けなくても、書き込み工程での放電による空間電荷が、隣接セルへ飛来して、壁電荷を蓄積させることによる誤書き込みを防止することができる。第1発明の第11態

様では、例えば図8に示す如く、第2電圧のパルスの幅を、第5電圧のパルスの幅よりも狭くしている。

【0038】この第11態様によれば、書き込み工程において第3電極 A_j に蓄積される負の壁電荷量が低減するので、維持工程での始めの維持パルスで第3電極 A_j と第2電極 Y_i との間の放電には到らず、正常な維持放電が確保される。また、このように短くしても、第2電圧のパルスは、第1と第2の電極間の放電に対し引き金の役割を果たせばよいので、第2電圧はこの役割を果たすのに十分なパルス幅であれば第5電圧のパルスの幅よりも狭くしても問題ない。このパルス幅の好ましい値は、封入ガスの種類やセルの寸法及び材質によって異なるが、第2電圧のパルスの周期を $3 \mu s$ とした場合、 $1 \sim 2 \mu s$ 程度である。

【0039】第1発明の第12態様では、例えば図8に示す如く、維持放電工程において、第3電極 A_j の電位をグラウンドレベルに対し正の電位とする。この第12態様によれば、書き込み工程で生じた第3電極 A_j 側の過剰な負の壁電荷を正の電位で打ち消すことができるので、維持工程で第3電極 A_j と第2電極 Y_i との間の放電を防止でき、正常な維持放電が確保される。これにより、表示ミスが防止されて、表示品質が向上する。また、維持放電の際にイオンが第3電極側へ飛来するのを少なくして、第2基板側に形成された蛍光体の劣化を防ぐことができる。

【0040】第1発明の第13態様では、例えば図7に示す如く、維持放電工程の最初の第4電圧のパルスを印加する前に、第1及び第2の電極に同時に、第3電極 A_j との電位差が第4電圧の $1/4 \sim 3/4$ 程度の正のパルスを印加する。この第13態様によれば、第2電極側の過剰な正の壁電荷による電圧が該正パルスに上乗せされ、第2電極 Y_i 側が第3電極 A_j 側より高い電位となり、微弱な放電を起こすことができる。この放電によって、第3電極 A_j 側の過剰な負の壁電荷の一部が除去されるため、以降は正常な維持放電の継続が可能となる。これにより、表示ミスが防止されて、表示品質が向上する。

【0041】第1発明の第14態様では、維持放電工程において、第3電極 A_j に接続された駆動回路出力端をハイインピーダンスにする。この第14態様によれば、第3電極駆動回路の出力を一定に保持するための電力が削減でき、低消費電力化を図ることができる。第1発明の第15態様では、例えば図4に示す如く、リセット工程を全てのセルに対し同時に実行し、次に、第2電極 Y_i について一方から他方へ1つずつ順に書き込み工程を実行し、次に、全ての第1及び第2の電極について維持放電工程を同時に実行する。

【0042】第2発明では、第1基板に第1及び第2の電極が互いに平行に、表示ライン毎に対をなして配置され、複数の第1電極 X が共通に接続され、該第1基板又

は該第1基板と離間して対向配置された第2基板に、該第1及び第2の電極と離間して交差するように第3電極A_jが配置され、該第1及び第2の電極の表面が壁電荷蓄積用の誘電体層で被われ、該第2基板側に蛍光体が形成され、該第1基板と該第2基板との間の空間に放電用のガスが封入され、該第1及び第2の電極と第3電極A_jとの各交差部にセルが形成された面放電型プラズマディスプレイパネルに対し、該誘電体の表面の電荷分布を均一にさせるために互いに隣接した該第1と第2の電極間に第1電圧のパルス印加して放電させ、点灯させる該セルの該誘電体表面の第1電極Xに対応した部分及び第2電極Y_iに対応した部分にそれぞれ一定量以上で極性が互いに逆の第1及び第2の壁電荷を蓄積させるために、第2電極Y_iと、点灯させる該セルに対応した第3電極A_jとの間に第2電圧のパルス印加して放電させ、該第1と第2の壁電荷間の第3電圧と、該第3電圧と同一極性で第1電極Xと第2電極Y_iとの間に印加する第4電圧との和が第1の放電開始電圧以上になる該セルを点灯させ、放電毎に該第1壁電荷及び該第2壁電荷の極性が逆になるようにするために、互いに隣接した該第1と第2の電極間に該第4電圧のパルスとして交流電圧パルスを印加する面放電型プラズマディスプレイパネル駆動装置において、該面放電型プラズマディスプレイパネル駆動装置は、該第1電圧のパルスを、該放電開始電圧より高く且つ放電により生ずる該第3電圧が該第1の放電開始電圧より高くなる電圧のパルスとし、該第1電圧のパルス印加後の該第1、第2及び第3の電極の電位を互いに等しくする。

$$V_w + V_s \geq V_f$$

を満たすように定められる。この様に定めることにより、選択ラインのみ、その全セルについて維持電極XとY_sとの間で書き込み放電Wが生ずる。例えば、 $V_w = 130V$ 、 $V_s = 180V$ 、 $V_f = 290V$ であり、書き込みパルスの電圧 $V_w + V_s$ は維持パルスの電圧 V_s よりも充分高いので、維持放電に比し大規模の放電が生ずる。この際、放電が進むにつれて、選択ラインの維持※

$$V_{wall3} > V_f$$

を満たすように定められる。

【0048】(b)維持電極XとY_sが同時に0Vに戻され、上式(5)により、維持電極X側の壁電荷と維持電極Y_i側の壁電荷との間の電圧で自己消去放電Cが生ずる。この放電においては、維持電極Xと維持電極Y_sとアドレス電極A_jとの間の電位差がいずれも0Vであり、かつ、放電が大規模であるため、放電によって生じた空間電荷が維持電極X側、Y_s側及びアドレス電極A_j側に壁電荷として殆ど蓄積されない(理論的には0)。したがって、空間電荷は、放電空間内で再結合し、殆ど完全に中和される。空間には、再結合しきれない多少の電荷が漂っているが、この空間電荷は、次の★

$$V_{smin} \leq V_s < V_{fxymin}$$

*【0043】この第2発明によれば、上記第1発明と同じ効果が得られる。

【0044】

【実施例】以下、図面に基づいて本発明の好適な実施例を説明する。以下の各実施例においては、PDPは、例えば上述の図14に示すセル構造を有するものとする。また、選択された維持電極Y_iをY_sで表し、非選択の維持電極Y_iをY_tで表す。また、維持電極Y_sを含む1行分のセルを選択ラインと称し、維持電極Y_tを含む1行分のセルを非選択ラインと称する。さらに、選択ラインのうち、点灯させるセルのアドレス電極A_jをA_aで表し、消灯させるセルのアドレス電極A_jをアドレス電極A_bで表す。

【0045】[第1実施例]図3は、本発明の第1実施例のPDP駆動方法を示す電極印加電圧波形図であり、1駆動サイクル分を示す。この駆動方法は、線順次・書き込みアドレス方式であり、維持電極Y_iは、Y₁~Y_nの順に1つずつ選択される。

【0046】(a)アドレス電極A_j及び維持電極Y_tが0Vの状態、維持電極Xに電位V_wの書き込みパルスが印加され、同時に、維持電極Y_sに電位-V_sのパルスが印加される。なお、この(a)の前、すなわち、図3での1駆動サイクルの最後では、X電極に0又は正の壁電荷が蓄積され、維持電極Y_sに0又は負の壁電荷が蓄積されている。この条件は、書き込みパルスの極性と1駆動サイクルの最後の維持パルスの極性とを逆にすることで満たされる。

*【0047】電位V_w及びV_sは、
.....(4)

30※電極X側には負の壁電荷が蓄積され、一方、維持電極Y_s側には正の壁電荷が蓄積される。これら壁電荷は放電空間内の電界強度を低減させるので、放電は直ちに収束に向かい、1~数μsで終結する。終結したときの壁電荷による電圧をV_{wall3}で表す。前記電位V_wはさらに、このV_{wall3}が、

.....(5)

★ドレス放電において、放電を起こし易くする種火の役割を果たす。この効果は、プライミング(種火)効果として知られている。

【0049】自己消去放電がほぼ完全に行われるのに必要な待ち時間は、セルの材質、寸法、封入ガスの種類及び密度等により異なるが、書き込みパルスが立ち下がってから5~50μs程度、例えば20μsである。

(c)維持電極X、Y_t及びアドレス電極A_bが0Vの状態、維持電極Y_sに電位-V_sのパルスが印加され、同時に、アドレス電極A_aに電位V_aのアドレスパルスが印加される。電位V_a及びV_sは、

.....(6)

$$V_a + V_s \geq V_{faymax}$$

を満たすように定められる。ここに、 V_{smin} は、PDP内の全セルが後述の維持放電を持続できる最小電圧であり、 V_{fxymin} はPDP内での維持電極XとY1～Ynとの間の最小の放電開始電圧であり、 V_{faymax} は、PDP内でのアドレス電極A1～Amと維持電極Y1～Ynとの間の最大の放電開始電圧である。

【0050】この様に定めることにより、点灯させるセルについては、アドレス電極Aaと維持電極Ysとの間でアドレス放電が生じ、この放電がトリガとなって直ちに、維持電極XとYsとの間にも放電が生じ、図15の従来の場合と異なり、維持電極X側とYs側にそれぞれ、後の維持放電パルスで維持放電を行うことが可能な量の負及び正の壁電荷が生成される。また、消灯させるセルについては、図15の従来の場合と異なり、維持電極XとYsとの間で放電が生じない。

【0051】(d) 全電極を0Vにした状態で、維持電極Xに電位 $-V_s$ の維持パルスが印加され、アドレス放電が生じたセルについてのみ、維持放電が生ずる。この放電により、維持電極X側及びYi側にそれぞれ正及び負の壁電荷が蓄積される。

(e) 全電極を0Vにした状態で、維持電極Y1～Ynに電位 $-V_s$ の維持パルスが印加され、(d)で維持放電が生じたセルについてのみ、維持放電が生ずる。この放電により、維持電極X側及びYi側にそれぞれ負及び正の壁電荷が蓄積される。

【0052】以降、上記(d)及び(e)の動作が繰り返される。本第1実施例では、選択ラインの全セルに書き込み放電を行った後、自己消去放電を行って、壁電荷が殆ど完全に中和するようにしているため、選択ラインに表示データの書き込みを行う際には、選択ラインの全セルの状態が均一化されている。これにより、電位 V_a の採り得る範囲が広くなり、書き込み放電前の電荷分布の状態や温度の変化等によらず常時安定したアドレス放電を行うことが可能となり、書き込みミスを防止して表示品質を向上させることができる。

【0053】また、上記(c)において、消灯させるセルについては図15の従来の場合と異なり、維持電極XとYsとの間で放電が生じないので、選択ラインの全セル放電発光の回数はWサイクルで2回となり、従来の2/3となる。このため、最大輝度と黒色表示の最小輝度との比が従来の3/2倍高くなり、階調表示の品質が向上する。

【0054】【第2実施例】図4は、本発明の第2実施例のPDP駆動方法を示す電極印加電圧波形図であり、1サブフィールド分を示す。この駆動方法は、アドレス/維持放電分離型・書き込みアドレス方式であり、1サブフィールドは、全セルの壁電荷を殆ど完全に消去する*

$$V_s + V_{wall4} > V_f > V_s$$

を満たすように定められている。

... (7)

*ためのリセット期間と、点灯させる画素に対し後の維持放電が可能な程度に壁電荷をアドレス放電により蓄積させるためのアドレス期間と、壁電荷に維持パルスを上乗せして、アドレス放電が生じたセルに対してのみ維持放電を生じさせるための維持放電期間とに分けられる。

【0055】電位 V_w 、 V_s 及び V_a は上記第1実施例と同一の条件式(4)～(7)を満たす。

(a) リセット期間では、最初に、全電極を0Vにした状態で、維持電極Xに電位 V_w の書き込みパルスが印加され、同時に、維持電極Y1～Ynに電位 $-V_s$ のパルスが印加される。なお、この(a)の前、すなわち、図4での1サブフィールドの最後では、維持電極に印加される維持パルスの極性が書き込みパルスの極性と逆になっているので、維持電極Xには0又は正の壁電荷が蓄積され、維持電極Y1～Ynには0又は負の壁電荷が蓄積されている。このため、壁電荷が存在する場合には必ず書き込みパルスの電圧に上乗せされることになる。この点に関しては、以下の各実施例においても同様である。これにより、維持電極XとY1～Ynとの間で全面書き込み放電Wが生ずる。

【0056】(b) 維持電極XとYsが同時に0Vに戻されて等電位になることと、上式(5)とから、維持電極X側の壁電荷と維持電極Y1～Yn側の壁電荷との間の電圧で自己消去放電Cが生じ、壁電荷は殆ど蓄積されず且つ空間電荷は殆ど完全に中和される。次に、アドレス期間に移る。

【0057】(c) 維持電極X、Y2～Yn及びアドレス電極Abが0Vの状態で、維持電極Y1に電位 $-V_s$ のパルスが印加され、同時に、アドレス電極Aaに電位 V_a のアドレスパルスが印加される。これにより、第1選択ラインの点灯させるセルについては、アドレス電極Aaと維持電極Y1との間でアドレス放電が生じ、この放電がトリガとなって直ちに、維持電極XとY1の間にも放電が生じ、維持電極X側とY1側にそれぞれ、後の維持放電パルスで維持放電を行うことが可能な量の負及び正の壁電荷が生成される。また、消灯させるセルについては、アドレス放電が生じないので、維持電極XとY1との間の放電も生じない。

【0058】以降、維持電極Y2～Ynの順に(c)と同様の動作が行われる。次に、維持放電期間に移る。

(d) 全電極を0Vにした状態で、維持電極Xに電位 $-V_s$ の維持パルスが印加され、アドレス放電が生じたセルについてのみ、維持放電が生ずる。この放電により、維持電極X側及びY1～Yn側にそれぞれ正及び負の壁電荷が蓄積される。電位 V_s は、上式(2)に相当する、

... (2A)

【0059】(e) 全電極を0Vにした状態で、維持電

極 Y1 ~ Yn に電位 -Vs の維持パルスが印加され、

(f) で維持放電が生じたぜらについてのみ、維持放電が生ずる。この放電により、維持電極 X 側及び Yi 側にそれぞれ負及び正の壁電荷が蓄積される。以降、上記 (f) 及び (g) の動作が繰り返される。

【0060】本第2実施例では、全面書き込み放電を行った後、自己消去放電を行って、壁電荷が殆ど完全に中和するようにしている。アドレス期間で選択ラインに表示データの書き込みを行う際には、選択ラインの全セルの状態が均一化されている。これにより、電位 Va の採り得る範囲が広くなり、書き込み放電前の電荷分布の状態や温度の変化等によらず常時安定したアドレス放電を行うことが可能となり、書き込みミスを防止して表示品質を向上させることができる。

【0061】また、1サブフィールド内のリセット期間における放電発光は2回であり、従来の2/3となる。このため、最大輝度と黒色表示の最小輝度との比が従来の3/2倍高くなり、階調表示の品質が向上する。

【第3実施例】図5は、本発明の第3実施例のPDP駆動方法を示す電極印加電圧波形図であり、1サブフィールド分を示す。

【0062】維持放電及び全面書き込み放電を行う後述の走査ドライバ及びX共通ドライバは、他のドライバに比し電力消費が大きい。一方、負パルス生成回路よりも正パルス生成回路の方が、簡単で安価に構成できる。そこで、第3実施例では、リセット期間*

$$(Vs + Vw) / 4 \leq Vaw \leq (Vs + Vw) / 2 \quad \dots (8)$$

程度である。

【0065】(b) アドレス電極 A1 ~ Am と維持電極 X とが同時に 0V に戻されて等電位になることと、上式 (5) とから、維持電極 X 側の壁電荷と維持電極 Y1 ~ Yn 側の壁電荷との間の電圧で自己消去放電 C が生じ、壁電荷は殆ど蓄積されず且つ空間電荷は殆ど完全に中和される。次に、アドレス期間に移る。

【0066】(c) 維持電極 X を電位 Vax にし、非選択の維持電極 Y2 ~ Yn を電位 -Vsc にした状態で、※

$$V_{smin} \leq Vax + Vy < V_{fxymn}$$

$$Va + Vy \geq V_{faymax}$$

を満たすように定められる。これにより、第1選択ラインの点灯させるセルについては、アドレス電極 Aa と維持電極 Y1 との間にアドレス放電が生じ、この放電がトリガとなって直ちに、維持電極 X と Y1 との間にも放電が生じ、維持電極 X 側と Y1 側にそれぞれ、後の維持放電パルスで維持放電を行うことが可能な量の負及び正の壁電荷が生成される。また、消灯させるセルについては、アドレス放電が生ぜず、維持電極 X と Y1 との間の放電も生じない。

【0068】電位 Vax の好ましい値は、次の通りである。スイッチング回数が比較的多いアドレスドライバの負担を少しでも軽減して、全消費電力を低減することが

* 及び維持放電期間において、正パルスのみを使用する。

【0063】(a) リセット期間では、最初に、全電極を 0V にした状態で、維持電極 X に電位 Vs + Vw の書き込みパルスが印加され、同時に、アドレス電極 A1 ~ Am に電位 Vaw のパルスが印加される。書き込みパルスを電位 Vs と電位 Vw との和にしているのは、維持パルスにも使用される電位 Vs の電源を主にし、ステップアップ回路で電位 Vs に電位 Vw を上乗せして電位 Vs + Vw を生成するためである。

【0064】電位 Vs + Vw は、上式 (4) を満たすように定められる。これにより、維持電極 X と Y1 ~ Yn との間に全面書き込み放電 W が生ずる。この放電によりアドレス電極 A1 ~ Am 側に蓄積する壁電荷量は、アドレス電極 A1 ~ Am 側の状態を均一にしてアドレス期間で安定動作させるために、できるだけ少ない方が好ましい。ここで、 $Vaw = (Vs + Vw) / 2$ とすれば、維持電極 X に対するアドレス電極 A1 ~ Am の電圧と維持電極 Y1 ~ Yn に対するアドレス電極 A1 ~ Am の電圧とが、絶対値が等しく符号が逆になるので、アドレス電極 A1 ~ Am の正電荷に対する引力と負電荷に対する引力が等しくなり、アドレス電極 A1 ~ Am 側で正電荷と負電荷が中和してアドレス電極 A1 ~ Am 側への壁電荷蓄積量が殆ど 0 になる。他方、電源回路を小型化するためには、電位 Vaw は低い方が好ましい。これらのことから、電位 Vaw の好ましい範囲は、

※選択する維持電極 Y1 に電位 -Vy のスキャンパルスが印加され、同時に、アドレス電極 Aa に電位 Va のアドレスパルスが印加される。非選択の維持電極 Y2 ~ Yn を電位 -Vsc にする理由は、後述のように電位 Va を低くして消費電力を低減するためである。電位 -Vsc の好ましい値は、 $(-Vy + Va) / 2$ 付近である。

【0067】電位 Vax、Vy 及び電位 Va は、上式 (6) 及び (7) に相当する、

$$\dots (6A)$$

$$\dots (7A)$$

好ましい。すなわち、アドレス電極に印加される電位 Va を、上式 (7A) の制限下で低い電圧に設定することが好ましい。アドレス電極 Aa と維持電極 Ys との間の放電を引き金として、維持電極 X と Ys の放電に移行し、維持放電に必要な壁電荷を形成するというメカニズムからすると、電位 Va を低くするには、維持電極 X と Ys との間の電圧 Vax + Vy を、上式 (6A) の制限下で大きくすることにより、アドレス電極 Aa と維持電極 Ys との間の小規模放電で、十分に維持電極 X と Ys との間の放電の引き金となるようにすればよい。

【0069】また、 $Vax = Va$ とすれば、電源電圧の種類が1つ減るので、電源回路が簡単となる。次に、維

持放電期間に移る。

(d) アドレス電極A1~Amを $V_s/2$ にし、維持電極Xを0Vにした状態で、維持電極Y1~Ynに電位 V_s の維持パルスが印加される。

【0070】アドレス電極A1~Amが0Vのままであると、アドレス放電によって生成されたアドレス電極A1~Am側の負の壁電荷と維持電極Y1~Yn側の正の壁電荷とが、始めの維持パルスに上乗せされて作用するため、維持電極XとY1~Ynとの間に維持放電が生ずる前に、アドレス電極A1~Amと維持電極Y1~Ynとの間で放電を開始して、維持電極XとY1~Ynとの間の維持放電が生じなくなることがあり得る。これを防ぐため、アドレス電極A1~Amに正の電圧（電位 $V_s/2$ ）を印加して、アドレス電極A1~Am側の負の壁電荷による電界を打ち消すようにしている。また、アドレス電極A1~Amを電位 $V_s/2$ にしておくことで、電位 V_{aw} の場合と同じ理由により、維持放電の際にイオンがアドレス電極A1~Am側へ飛来するのを少なくして、スパッタ等による蛍光体15の劣化を防ぐことができる。

【0071】電位 V_s は、上式(2A)を満たすように定められており、維持電極XとY1~Ynとの間で全面維持放電Sが生ずる。

(e) A1~Amを電位 $V_s/2$ にし、維持電極Y1~Ynを0Vにした状態で、維持電極Xに電位 V_s の維持パルスが印加される。以降、維持電極Y2~Ynの順に以上の(d)及び(e)と同様の動作が行われる。

【0072】なお、維持放電期間において、最初の維持パルスが維持電極Y1~Ynに印加されたときに、アドレス電極A1~Anの電位を電位 $V_s/2$ にし、その後は、アドレス電極駆動回路の出力をハイインピーダンス状態にしてもよい。この場合、アドレス電極駆動回路の出力を電位 $V_s/2$ に保持するための電力が削減でき、低消費電力化を図ることができる。また、場合によっては、最初の維持パルスが印加される前にアドレス電極駆動回路の出力端をハイインピーダンス状態にして、維持放電の際にイオンがアドレス電極A1~Am側に蓄積される量を低減させてもよい。

【0073】【第4実施例】図6は、本発明の第4実施例のPDP駆動方法を示す電極印加電圧波形図であり、1サブフィールドのリセット期間とアドレス期間とを示す。

(a) 及び(b)での動作は、上記第3実施例の場合と同一である。正常なセルは、(a)及び(b)での動作により、壁電荷を完全に中和し、又は、壁電荷が残留していてもミス表示の原因にならない程度に中和することができる。

【0074】しかし、PDP作成の際のなんらかの原因によって、セルの特性が通常と異なるために、自己消去放電が不十分で多くの壁電荷が残ってしまったたり、自己

消去放電が全く起こらずに全面書き込み放電の際に形成された壁電荷がそのまま残ってしまう場合がある。これらの異常セルは、アドレス放電をさせなくても維持放電期間で発光し、余剰点灯となる。

【0075】そこで、本第4実施例では、これら壁電荷をアドレス放電前に強制的に放電させて消去することにより、維持放電期間での余剰点灯を防止し、表示品質を向上させる。

(b) から(c)までに必要な待ち時間は、上記第1実施例と同一である。

(c) 全電極を0Vにした状態で、維持電極Y1~Ynに電位 V_s のパルスが印加される。これに回答して放電するセルは、Y側に対し維持電極X側に相対的に負の壁電荷が、維持放電可能な量残ってしまったセルである。場合によっては、この放電により、壁電荷の極性が反転して、維持電極X側に正の壁電荷が蓄積され、Y側に負の壁電荷が蓄積される。電位 V_s は、維持放電期間での維持パルスの電位に必ずしも等しくする必要はなく、上式(6)を満たせばよい。

【0076】(d) 全電極を0Vにした状態で、維持電極Xに電位 V_a のパルスが印加され、維持電極Y1~Ymに電位 $-V_y$ のパルスが印加される。すなわち、アドレス期間で維持電極XとYiとの間に印加される電圧のパルスが印加される。この電圧は、上式(6A)で $V_{ax}=V_a$ としたのを満たせばよい。これに回答して放電するセルは、前記(c)により又はその前に、Y側に対し維持電極X側に相対的に正の壁電荷が、維持放電可能な量残ってしまったセルである。この放電により、壁電荷の極性が反転して、維持電極X側に負の壁電荷が蓄積され、Y側に正の壁電荷が蓄積される。

【0077】残留壁電荷の極性が、(c)及び(d)の放電により統一される。また、(c)及び(d)の放電により、壁電荷の電荷分布がより均一化され、かつ、次の消去パルスの電圧が上乗せられて放電するに十分な壁電荷の量に調整される。

(e) 全電極を0Vにした状態で、維持電極Y1~Ynに、立ち上がりが緩やかな電位 V_s の消去パルスが印加され、同時に、アドレス電極A1~Amに電位 V_{aw} のパルスが印加される。これにより、セルによって放電開始電圧にばらつきがあっても、大部分の壁電荷を消去可能であり、少量の壁電荷が残留する。残留した壁電荷は正電荷であり、次のアドレスパルスと逆極性となるので、アドレス放電が生じ難く、余剰点灯が防止され、表示品質が向上する。アドレス電極A1~Amに電位 V_{aw} のパルスを印加するのは、維持電極Y1~Ynとアドレス電極A1~Amとの間で不都合な放電が生ずるのを避けるためである。

【0078】その後の動作は、上記第3実施例と同一である。

【第5実施例】図7は、本発明の第5実施例のPDP駆

動方法を示す電極印加電圧波形図であり、1サブフィールド分を示す。リセット期間及びアドレス期間での動作は、上記第3実施例の場合と同一である。

【0079】リセット期間で全面自己消去放電が行われ、アドレス期間でアドレス放電が行われたセルは、維持電極X側に負の壁電荷が蓄積し、維持電極Y_i側に正の壁電荷が蓄積し、アドレス電極A_j側に負の壁電荷が蓄積されている。何らかの原因で、アドレス電極A_j側に維持電極X側よりも大規模の負の壁電荷が蓄積された場合、維持パルスが印加されたときに、アドレス電極A_jに電位V_s/2の電位が印加されていても、アドレス電極A_j側の電位が維持電極X側の電位より低くなる場合には、維持電極Y_iとアドレス電極A_jとの間で放電が生ずる。この放電が生ずると、維持電極XとY_iとの間に放電が生ぜず、以降の維持放電が行えなくなる。

【0080】そこで、この第5実施例では、アドレス電極A_j側の過剰な負の壁電荷の一部を除去するために、アドレス電極A_jを電位V_s/2にした後に、維持電極X及びY₁~Y_nに電位V_sのパルスが印加される。この場合、維持電極Y₁~Y_n側の過剰な正の壁電荷による電圧が電位V_sに上乗せされ、維持電極Y_i側がアドレス電極A_j側より高い電位となり、微弱な放電を起こすことができる。この放電によって、アドレス電極A_j側の過剰な負の壁電荷の一部が除去されるため、以降は正常な維持放電の継続が可能となる。これにより、表示ミスが防止されて、表示品質が向上する。

【0081】〔第6実施例〕図8は、本発明の第6実施例のPDP駆動方法を示す電極印加電圧波形図であり、1サブフィールド分を示す。この第6実施例では、上記第5実施例で述べた問題点を別の方法で解決している。リセット期間及び維持放電期間での動作は、上記第3実施例の場合と同一である。

【0082】アドレス期間において、アドレス電極A_aと維持電極Y_sとの間で開始されたアドレス放電は、直ちに維持電極XとY_sとの放電に移行して、維持電極X及びY_sとの間で維持放電を行うことが可能な量の壁電荷が生じ、放電を終了する。アドレス電極A_aに印加される電位V_aのパルスは、維持電極XとY_sとの間の放電に対し引き金の役割を果たせばよいので、アドレス電極A_aと維持電極Y_sとの間で放電が開始された直後にアドレス電極A_aの電位を0にする。この場合、アドレス電極A_aの電位は維持電極Xより低いので、維持電極Xほど負の壁電荷を蓄積することはない。これにより、始めの維持パルスでアドレス電極A_aと維持電極Y_sとの間の放電には到らず、正常な維持放電が確保される。アドレスパルスの好ましい幅は、封入ガスの種類やセルの寸法及び材質によって異なるが、アドレスサイクルを3μsとした場合、1~2μs程度である。

【0083】〔第7実施例〕図9は、本発明の第7実施例のプラズマディスプレイ装置20のブロック図であ

る。プラズマディスプレイ装置20は、図6に示す駆動方法を実施するためのものである。表示パネル21は、一方のガラス基板上に互いに平行にアドレス電極A₁~A_mが形成され、このガラス基板に対向する他方のガラス基板上に、アドレス電極A₁~A_mと直角な方向に維持電極X及びY₁~Y_nが形成されている。維持電極Xは、維持電極Y₁~Y_nの各々と対になっており、かつ、一端部が共通に接続されている。これら電極に印加される電圧は、電源回路22で生成され、アドレスドライバ23、Y共通ドライバ24、走査ドライバ25及びX共通ドライバ26を介して該電極に供給される。アドレスドライバ23、Y共通ドライバ24、走査ドライバ25及びX共通ドライバ26は、制御回路27からの信号により制御される。制御回路27はこの信号を、外部から供給される表示データDATA、表示データDATAに同期したドットクロックCLK、垂直同期信号VSYNC及び水平同期信号HSYNCに基づいて生成する。

【0084】アドレスドライバ23は、制御回路27から直列の表示データ及びシフトパルスがそれぞれ直列データ入力端及びクロック入力端に供給されるシフトレジスタ231と、1行分の表示データがシフトレジスタ231に確保された時点でシフトレジスタ231の並列表示データが保持されるラッチ回路232と、ラッチ回路232の出力に基づいてオン/オフが定められ、駆動電圧出力のタイミングが制御回路27からの制御信号で制御されるアドレス電極駆動回路233とを有する。アドレス電極駆動回路233のm個の出力端はそれぞれ、アドレス電極A₁~A_mに接続されている。

【0085】走査ドライバ25は、サブフィールド内のアドレス期間の始端に同期して直列データ入力端に‘1’が供給され、アドレスサイクルに同期したシフトパルスがクロック入力端に供給されるY駆動回路252と、Y駆動回路252の各ビットの出力によりオン/オフが定められ、駆動電圧出力のタイミングが制御回路27からの制御信号で制御されるY駆動回路252とを有する。Y駆動回路252の出力端は、維持電極Y₁~Y_nに接続されている。Y共通ドライバ24は、Y駆動回路252を介して維持電極Y₁~Y_nに共通の駆動電圧を供給するためのものである。

【0086】図9中、電位V_{cc}は論理回路用であり、電位V_dは駆動回路用である。表示パネル21の1個のセル10に対するアドレスドライバ23、Y共通ドライバ24、走査ドライバ25及びX共通ドライバ26の駆動回路部の概略構成を図10に示す。アドレス電極駆動回路233は、各jに共通の電圧ステップアップ回路233aと、出力端がアドレス電極A_jに接続されたA_j駆動回路233bjとを有する。j=1~mの各々について、A_j駆動回路233bjの出力端がアドレス電極A_jに接続されるのに対し、1つの電圧ステップアップ

回路 233a の出力端が A1 ~ Am 駆動回路 233b1 ~ 233bm の各入力端に接続される。

【0087】電圧ステップアップ回路 233a は、電位 Va の電源配線がダイオード D1 のアノード及び抵抗 R1 の一端に接続され、抵抗 R1 の他端がツェナーダイオード D2 のカソード、コンデンサ C1 の一端及びスイッチ素子 SW1 の一端に接続されている。スイッチ素子 SW1 の他端はスイッチ素子 SW2 の一端及びコンデンサ C2 の一端に接続され、コンデンサ C2 の他端はダイオード D1 のカソードに接続されている。ツェナーダイオード D2 のアノード、コンデンサ C1 の他端及びスイッチ素子 SW2 の他端は、グランド線に接続されている。

【0088】電圧ステップアップ回路 233a は、アドレス期間においては、電位 Va を出力し、それ以外の期間においては電位 Vaw を出力する。コンデンサ C1 の端子間電圧は、ツェナーダイオード D2 の降伏電圧 Vas に等しくなる。電圧ステップアップ回路 233a の出力電圧は、アドレス期間では、スイッチ素子 SW1 がオフにされスイッチ素子 SW2 がオンにされて電位 Va となり、アドレス期間以外では、スイッチ素子 SW2 がオフにされた後スイッチ素子 SW1 がオンにされて、コンデンサ C1 の電圧 Va にコンデンサ C2 の電圧 Vs が上乘せられ、 $Vaw = Va + Vas$ となる。

【0089】Aj 駆動回路 233bj は、ダイオード D3 のアノード、ダイオード D4 のカソード、スイッチ素子 SW3 の一端及びスイッチ素子 SW4 の一端が共にアドレス電極 Aj に接続され、ダイオード D3 のカソード及びスイッチ素子 SW3 の他端が電圧ステップアップ回路 233a の出力端に接続され、ダイオード D4 のアノード及びスイッチ素子 SW4 の他端がグランド線に接続されている。

【0090】Aj 駆動回路 233bj は、スイッチ素子 SW3 をオンにし、スイッチ素子 SW4 をオフにすると、アドレス電極 Aj に電圧ステップアップ回路 233a の出力電位 Va 又は Vaw が印加され、また、スイッチ素子 SW3 をオフにし、スイッチ素子 SW4 をオンにすると、アドレス電極 Aj が 0V になる。Y 駆動回路は、各 i に共通の Y 共通ドライバ 24 と、出力端が維持電極 Yi に接続された Yi 駆動回路 252i とを有する。i = 1 ~ n の各々について、Yi 駆動回路 252i の出力端が維持電極 Yi に接続されるのに対し、1 つの Y 共通ドライバ 24 の出力端が Y1 ~ Yn 駆動回路 2521 ~ 252n の各入力端に接続される。

【0091】Y 共通ドライバ 24 は、スイッチ素子 SW5 の一端がグランド線に接続され、スイッチ素子 SW6 の一端が電位 Vs の電源配線に接続されている。スイッチ素子 SW5 の他端は、一方ではダイオード D5 のアノードからカソードを通して電位 Vs の電源配線に接続され、他方ではダイオード D6 のカソードからアノードを通して配線 SD に接続されている。配線 SD は、一方で

はダイオード D7 のカソードからアノードを通りスイッチ素子 SW7 を介して電位 -Vsc の電源配線に接続され、他方ではスイッチ素子 SW8 を介して電位 -Vy の電源配線に接続されている。スイッチ素子 SW6 の他端は、一方ではダイオード D8 のカソードからアノードを通してグランド線に接続され、他方ではスイッチ素子 SW10 を介して配線 SU に接続されている。配線 SU は、一方では抵抗 R2 及びスイッチ素子 SW9 を介して電位 Vs に接続され、他方ではスイッチ素子 SW11 を介して電位 -Vy の電源配線に接続されている。

【0092】Yi 駆動回路 252i は、ダイオード D9 のアノード、ダイオード D10 のカソード、スイッチ素子 SW12 の一端及びスイッチ素子 SW13 の一端が共に維持電極 Yi に接続され、ダイオード D9 のカソード及びスイッチ素子 SW12 の他端が配線 SD に接続され、ダイオード D10 のアノード及びスイッチ素子 SW13 の他端が配線 SU に接続されている。

【0093】リセット期間においては、スイッチ素子 SW8 をオンにし、その他のスイッチ素子をオフにすることにより、維持電極 Yi からダイオード D9、配線 SD 及びスイッチ素子 SW8 を通って電流が流れ、維持電極 Yi が電位 -Vy となり、また、スイッチ素子 SW9 をオンにし、その他のスイッチ素子をオフにすることにより、抵抗 R2 及びダイオード D10 を通って、立ち上がり緩やかな消去パルス用の電位 Vs が維持電極 Yi に印加される。この立ち上がりの傾斜は、抵抗 R2 と電極間静電容量とによって決定される。

【0094】リセット期間及び維持放電期間での維持パルス用の電位 Vs は、スイッチ素子 SW6 及び SW10 をオンにし、その他のスイッチ素子をオフにすることにより、スイッチ素子 SW6、SW10 及びダイオード D10 を通って維持電極 Yi に印加される。アドレス期間においては、スイッチ素子 SW7 と SW11 をオンにし、その他のスイッチ素子をオフにすることにより、非選択電位である -Vsc と選択電位である -Vy とが Yi 駆動回路 252i に与えられる。この際、スイッチ素子 SW10 をオフにすることにより、ダイオード D8 を通って電位 -Vy の電源配線へ電流が流れるのが阻止され、また、スイッチ素子 SW5 に接続されている保護用の逆ダイオード (図 11) を経由して配線 SD へ電流が流れ込むのをダイオード D6 により阻止している。この状態で、スイッチ素子 SW13 をオンにすることによりスキャンパルス用の電位 -Vy が維持電極 Yi に印加され、スイッチ素子 SW12 をオンにすることにより非選択電位である -Vsc が維持電極 Yi に印加される。この動作は、i = 1 ~ n について順次行われる。

【0095】正電位の維持電極 Yi を 0V に低下させる場合には、スイッチ素子 SW5 をオンにし、その他のスイッチ素子をオフにする。これにより、維持電極 Yi からダイオード D9、D6 及びスイッチ素子 SW5 を通

て、維持電極 Y_i を 0 V にするための電流が流れる。負電位の維持電極 Y_i を 0 V に上昇させる場合には、スイッチ素子 SW10 をオンにし、その他のスイッチ素子をオフにする。これにより、ダイオード D8 からスイッチ素子 SW10 及びダイオード D10 を通って、維持電極 Y_i を 0 V にするための電流が流れる。

【0096】X 共通ドライバ 26 は、コンデンサ C3 の一端が、一方ではスイッチ素子 SW14 を介して電位 V_w の電源配線に接続され、他方ではスイッチ素子 SW15 を介してグランド線に接続されている。コンデンサ C3 の他端は、一方ではダイオード D11 のカソードからアノードを通して電位 V_s の電源配線に接続され、他方ではスイッチ素子 SW16 を介して維持電極 X に接続されている。維持電極 X はまた、一方ではスイッチ素子 SW17 を介してグランド線に接続され、他方ではダイオード D12 のカソードからアノードを通りスイッチ素子 SW18 を介して電位 V_a の電源配線に接続されている。スイッチ素子 SW16 及び SW17 にはそれぞれ逆方向のダイオード D13 及び D14 が並列接続されている。

【0097】ダイオード D11 と、コンデンサ C3 と、スイッチ素子 SW13 と、スイッチ素子 SW14 とは、ステップアップ回路を構成しており、スイッチ素子 SW14 をオフにし、スイッチ素子 SW15 をオンにすることによりダイオード D11 のカソード電位が V_s となり、この状態からスイッチ素子 SW15 をオフにした後スイッチ素子 SW14 をオンにすることにより、ダイオード D11 のカソード電位が V_s から $V_s + V_w$ にステップアップされる。したがって、スイッチ素子 SW16 をオンにすると、維持パルス用の電位 V_s 又は書き込みパルス用の電位 $V_s + V_w$ が維持電極 X に印加される。

【0098】アドレス期間では、スイッチ素子 SW18 をオンにし、その他のスイッチ素子をオフにすることにより、維持電極 X が電位 V_a に保持される。維持電極 X を 0 V に低下させる場合には、スイッチ素子 SW16 及び SW18 をオフにして、スイッチ素子 SW17 をオンにする。電源電圧は、例えば、放電開始電圧が $V_{fxymin} = 290V$ 、 $V_{faymax} = 180V$ のとき次の通りである。

【0099】

$$\begin{aligned} V_s &= 180V, V_a = 50V, V_w = 130V \\ -V_y &= -150V, -V_{sc} = -50V \\ V_{cc} &= 5V, V_d = 15V \end{aligned}$$

図 11 は、図 10 の中で特徴を有する Y 駆動回路の詳細を示す。スイッチ素子 SW5、SW6、SW8、SW10、SW11 及び SW13 は nMOS トランジスタを有し、スイッチ素子 SW7、SW9 及び SW12 は pMOS トランジスタを有する。これら MOS トランジスタのソース・ドレイン間に逆方向接続されたダイオードは、その MOS トランジスタの保護用である。スイッチ素子

SW7~9 及び SW11 の MOS トランジスタのゲート・ソース間に接続された抵抗は、デット電位のリーク抵抗であり、該抵抗に並列接続されたツェナーダイオードは、MOS トランジスタをオンにする際にゲート・ソース間の電圧を規定するものである。

【0100】M1~M5 は、PDP 駆動回路に一般的に使用されている、MOS-FET ドライバ IC (例えば、TI 社製、型式 SN75372P) であり、駆動対象の MOS トランジスタをオンにする際に必要なゲート電圧 V_{gs} を発生するものである。このオン電圧 V_{gs} のパルス化はコンデンサで行われる。M6 は、この出力端に図示のスイッチ素子 SW5 及び SW6 を接続することにより、プッシュプル回路を構成することが可能な MOS-FET ドライバ IC (例えば、IR 社製、型式 IR2110) である。

【0101】M7 は、3 端子レギュレータであり、入力 I 側のコンデンサに蓄えられた電位 V_d から、 Y_i 駆動回路 252 i 用のフローテング 5V (F, V_{cc}) を生成する。入力 I 側のコンデンサが充電される期間は、スイッチ素子 SW5 がオンして配線 SU が 0 V に保たれた時のみである。スイッチ素子 SW19 は、M7 の入力端に印加される電位 V_d のオン/オフと、スイッチ素子 SW10 のオン動作とを行うためのものである。

【0102】スイッチ素子 SW11 は、スイッチ素子 SW10 のオフと、アドレス期間においてスキャン電位を配線 SU に印加する機能とを兼用しているので、回路が簡単になっている。スイッチ素子 SW11 をオンにすると、配線 SU から、スイッチ素子 SW10 のゲート・ソース間に接続されたダイオード及びツェナーダイオードを経由してスイッチ素子 SW11 を通り、電源配線電位 $-V_y$ に電流が流れ、配線 SU が電位 $-V_y$ まで低下し、他方では、スイッチ素子 SW10 のゲート・ソース間の電圧が 0 V になってスイッチ素子 SW10 が自動的にオフになる。これにより、効率のよい動作が行われ、回路も簡単になる。再びスイッチ素子 SW10 をオンにする場合には、スイッチ素子 SW5 をオンにして配線 SD 及び SU を 0 V にし、スイッチ素子 SW19 をオンにしてスイッチ素子 SW10 にオン電圧 V_{gs} を与える。

【0103】通常の設計では、スイッチ素子 SW10 用のドライバをフローテング構成で新たに設ける必要があるが、本実施例によれば、これを設けることなく、上記のように効率のよい動作を安価な回路構成で実現できる。図 12 及び図 13 は、図 10 中の、電極の印加電圧波形及びスイッチ素子のオン/オフを示す。図中の数値は、一例である。図 12 及び誘電層 12 の説明は、以上の説明から容易に理解できることと、重複説明を避けるため、省略する。

【0104】なお、本発明には外にも種々の変形例が含まれる。例えば、本発明が適用される PDP のセル構造は図 14 の型に限定されず、互いに並行な一対の X 維持

電極とY_i維持電極と、これらと離間して交差するアドレス電極とを有するものであればよく、これら3電極が同一基板側に配置されていてもよい。

【0105】

【発明の効果】以上説明した如く、本発明に係る面放電型プラズマディスプレイパネルの駆動方法及び駆動回路によれば、自己消去放電を行って、壁電荷が殆ど完全に中和するようにしているのので、点灯させるセルに書き込みを行う際には、第1及び第2の電極付近の状態が均一化されており、これにより、書き込み工程でのパルスの第2電圧の採り得る範囲が広くなり、書き込み放電前の電荷分布の状態や温度の変化等によらず常時安定したアドレス放電を行うことが可能となり、書き込みミスを防止して表示品質を向上させることができるという優れた効果を奏する。また、消灯させるセルについては、第1と第2の電極間で放電が生じないようにできるので、最大輝度と黒色表示の最小輝度との比が従来より高くなり、階調表示の品質が向上するという優れた効果を奏する。

【0106】本方法発明の第1態様では、第1電極に対する第3電極の電圧と第2電極に対する第3電極の電圧とが、絶対値が略等しく符号が逆になるので、第3電極の正電荷に対する引力と負電荷に対する引力が略等しくなり、第3電極側で正電荷と負電荷が中和して第3電極側への壁電荷蓄積量が殆ど0になり、このため、第1発明の効果が高められる。

【0107】本方法発明の第2態様によれば、負の高圧パルスが不要であるので、駆動回路用電源を、簡単、小型かつ安価に構成できるという効果を奏する。本方法発明の第3態様によれば、電源電圧を低くすることができるという効果を奏する。本方法発明の第5態様によれば、異常セルであるために第1電圧パルスで消去できなかった第1及び第2の壁電荷に消去パルスの電圧を上乗せして放電させ壁電荷を消去させることができ、また、消去パルスの立ち上がりの傾斜を緩やかにしているので、量にばらつきのある壁電荷を効率よく放電させることができ、余剰点灯を防止して表示品質を向上させることができるという効果を奏する。

【0108】本方法発明の第6態様によれば、異常セルであるために第1電圧パルスで消去できなかった第1及び第2の壁電荷の極性が統一され且つ増幅されるので、消去パルスで第5実施例よりも多く消去することができる、また、この残留壁電荷の極性が、書き込み工程において第2電極と第3電極との間の電圧を低下させる極性となるので、点灯させないセルの放電が妨げられ、余剰点灯をより確実に防止することができるという効果を奏する。

【0109】本方法発明の第7態様によれば、消灯させるセルについては、書き込み工程において確実に第1と第2の電極間で放電が生じないようにすることができ、

コントラストが向上するという上記本発明の効果が高められる。本方法発明の第8態様によれば、第2電極と第3電極との間の小規模放電で、十分に第1電極と第2電極との間の放電の引き金となるので、駆動回路の消費電力を低減することができるという効果を奏する。

【0110】本方法発明の第9態様によれば、上記第8態様の効果に加え、電源電圧の種類が1つ減るので、電源回路がより簡単となり、また、維持放電工程において維持放電が可能な量の壁電荷を効率よく生成することができるという効果を奏する。本方法発明の第10態様によれば、セルに隔壁を設けなくても、書き込み工程での放電による空間電荷が、隣接セルへ飛来して、壁電荷を蓄積させることによる誤書き込みを防止することができるという効果を奏する。

【0111】本方法発明の第11態様によれば、書き込み工程において第3電極に蓄積される負の壁電荷量が低減するので、維持工程での始めの維持パルスで第3電極と第2電極との間の放電には到らず、正常な維持放電が確保されるという効果を奏する。本方法発明の第12態様によれば、書き込み工程で生じた第3電極側の過剰な負の壁電荷を正の電位で打ち消すことができるので、維持工程で第3電極と第2電極との間の放電を防止でき、正常な維持放電が確保され、これにより、表示ミスが防止されて、表示品質が向上し、また、維持放電の際にイオンが第3電極側へ飛来するのを少なくして、セルの劣化を防ぐことができるという効果を奏する。

【0112】本方法発明の第13態様によれば、第2電極側の過剰な正の壁電荷による電圧が該正パルスに上乗せされ、第2電極側が第3電極側より高い電位となり、微弱な放電を起こすことができ、この放電によって、第3電極側の過剰な負の壁電荷の一部が除去されるため、以降は正常な維持放電の継続が可能となり、表示ミスが防止されて、表示品質が向上するという効果を奏する。

【0113】本方法発明の第14態様によれば、第3電極駆動回路の出力を一定に保持するための電力が削減でき、低消費電力化を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の原理を示す壁電荷自己消去工程図である。

【図2】図1の工程を行わせるための電極印加電圧波形例示図である。

【図3】本発明の第1実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図である。

【図4】本発明の第2実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図である。

【図5】本発明の第3実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図である。

【図6】本発明の第4実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図である。

【図 7】本発明の第 5 実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図である。

【図 8】本発明の第 6 実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図である。

【図 9】本発明の第 7 実施例のプラズマディスプレイ装置のブロック図である。

【図 10】図 9 の装置の 1 つの表示セルに対する駆動回路概略図である。

【図 11】図 10 中の Y 駆動回路の詳細図である。

【図 12】図 10 の回路の、印加電圧波形及びスイッチ素子のオン/オフを示す図である。

【図 13】図 12 の続きを示す図である。

【図 14】プラズマディスプレイパネルのセル断面構成図である。

【図 15】従来の第 1 のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図である。

【図 16】図 15 の駆動方法において、各表示ラインの駆動サイクルの変化を示す図である。

【図 17】従来の第 2 のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図である。

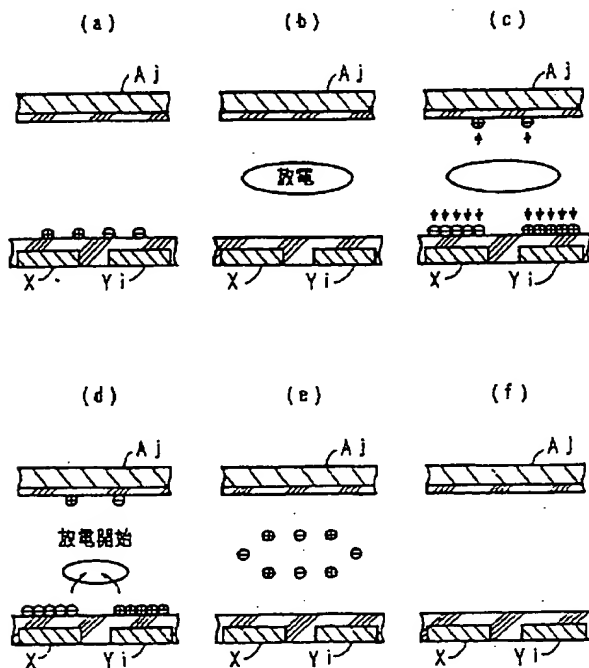
【図 18】図 17 の方法を用いて 256 階調表示するための 1 フレームの構成を示す図である。

【符号の説明】

- 10 セル
- 11、14 ガラス基板
- 12 誘電体層
- 13 保護膜
- 15 蛍光体
- 16 隔壁
- 17 放電空間
- 20 プラズマディスプレイ装置
- 21 表示パネル
- 22 電源回路
- 23 アドレスドライバ
- 24 Y 共通ドライバ
- 25 走査ドライバ
- 26 X 共通ドライバ
- 27 制御回路
- 231、251 シフトレジスタ
- 232 ラッチ回路
- 233 アドレス電極駆動回路
- 252 Y 駆動回路
- 233a 電圧ステップアップ回路
- 233bj Aj 駆動回路
- 233b1 アドレス電極駆動回路
- 252i Yi 駆動回路

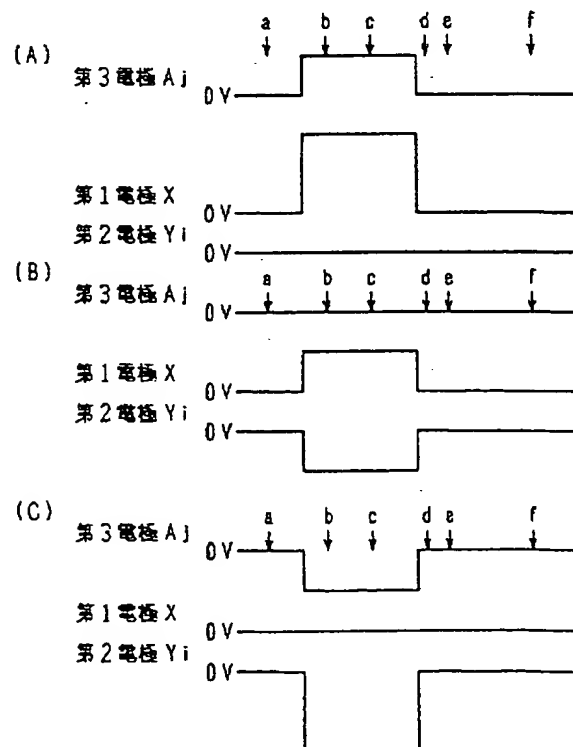
【図 1】

本発明の原理を示す壁電荷自己消去工程図



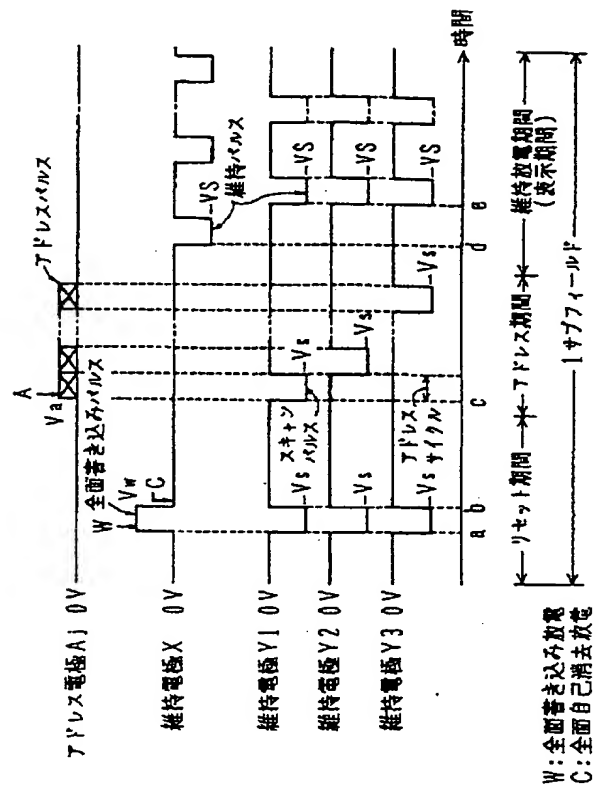
【図 2】

図 1 の工程を行わせるための電極印加電圧波形例示図



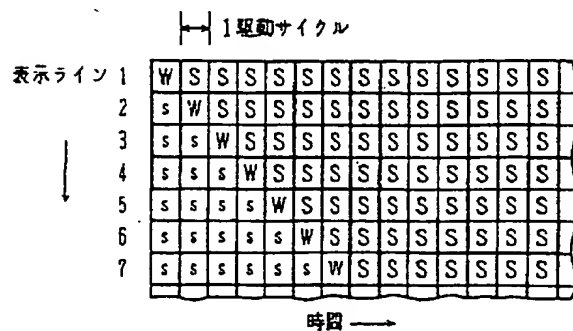
【圖 4】

本発明の第2実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図



【图 16】

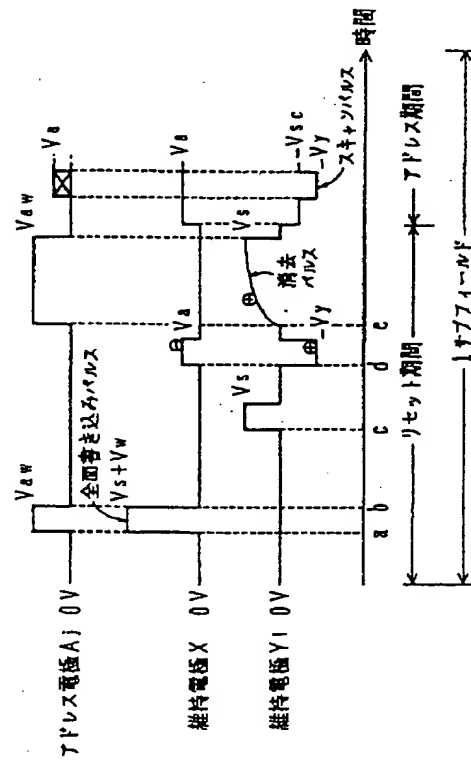
図15の駆動方法において、各表示ラインの駆動サイクルの変化を示す図



W: 交換の駆動サイクル
S: 現フィールドの維持放電のみの駆動サイクル
s: 前フィールドの維持放電のみの駆動サイクル

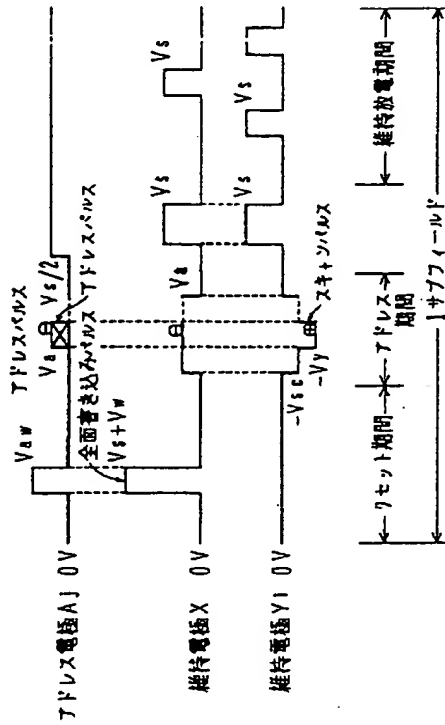
・【図 6】

本発明の第４実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図



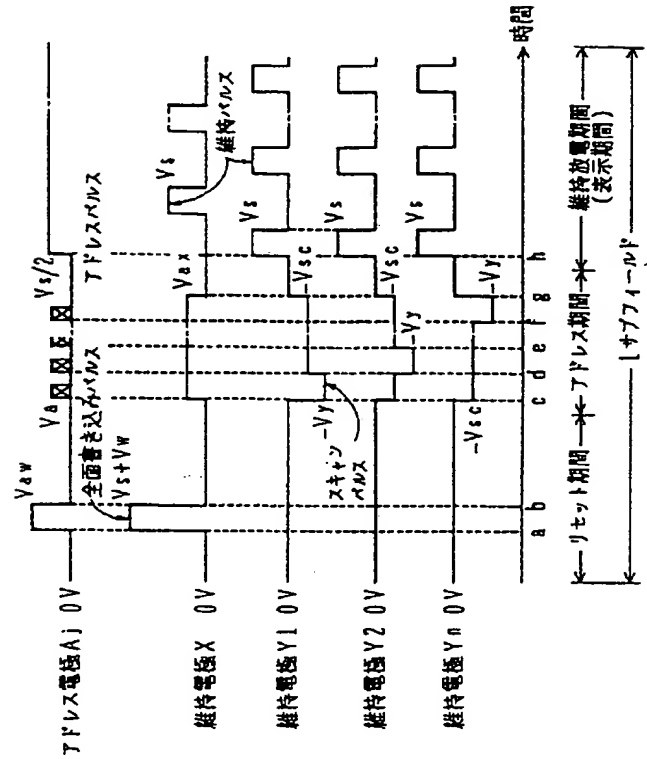
【図 7】

本発明の第5実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図



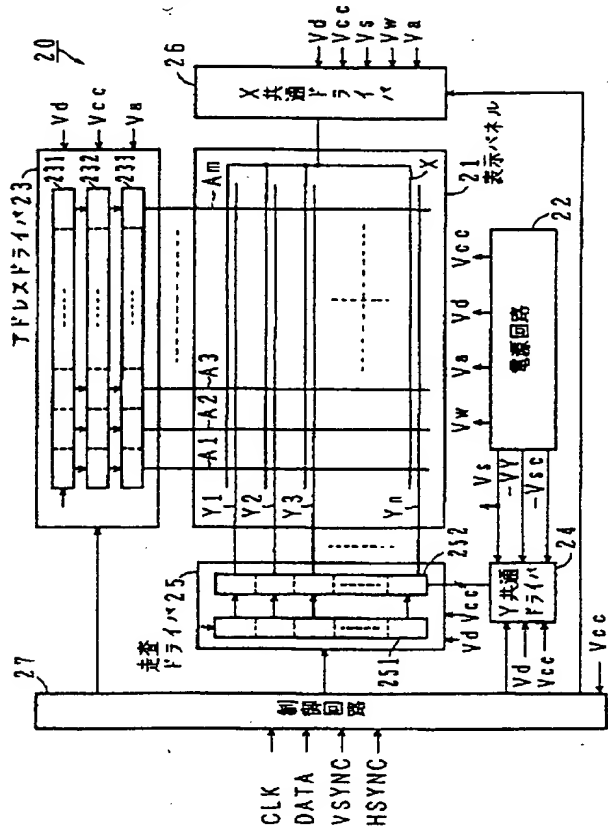
【図 8】

本発明の第6実施例のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図



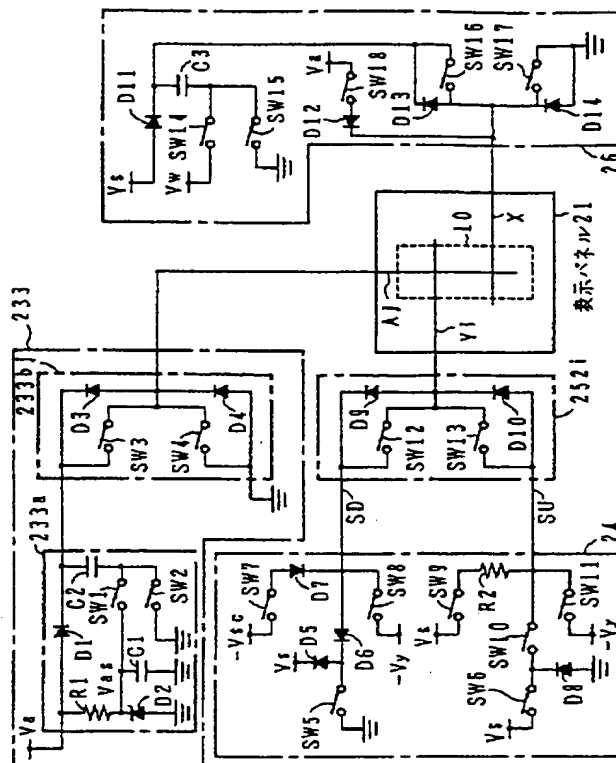
【图9】

本発明の第７実施例のプラズマディスプレイ装置のブロック図



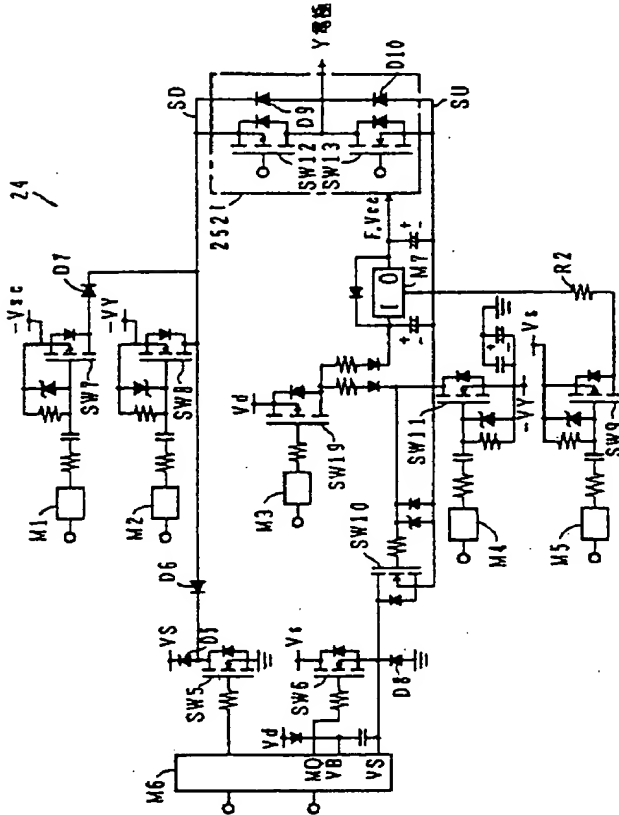
【図 10】

図 9 の装置の 1 つの表示セルに対する駆動回路概略図



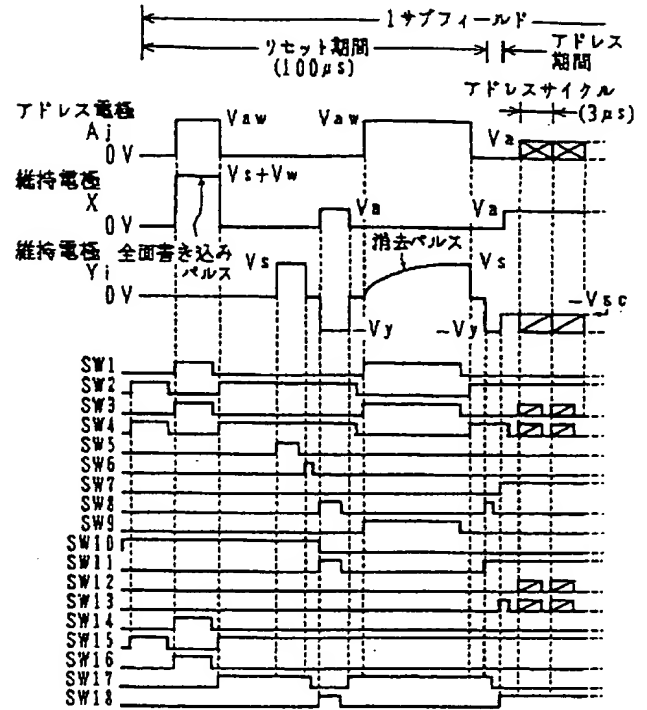
【図 11】

図 10 中の維持電極 Y 側駆動回路の詳細図



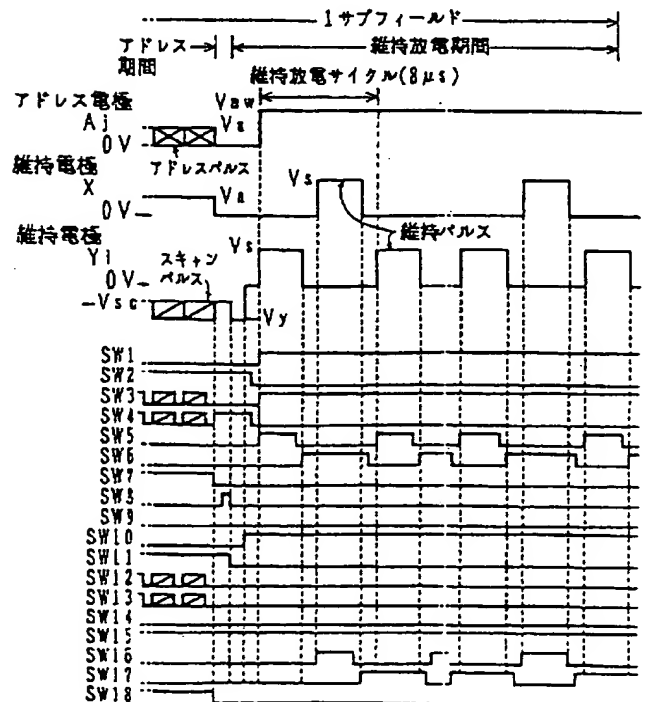
【図 12】

図 10 の回路の、電極印加電圧波形及びスイッチ素子のオン・オフ波形を示す図



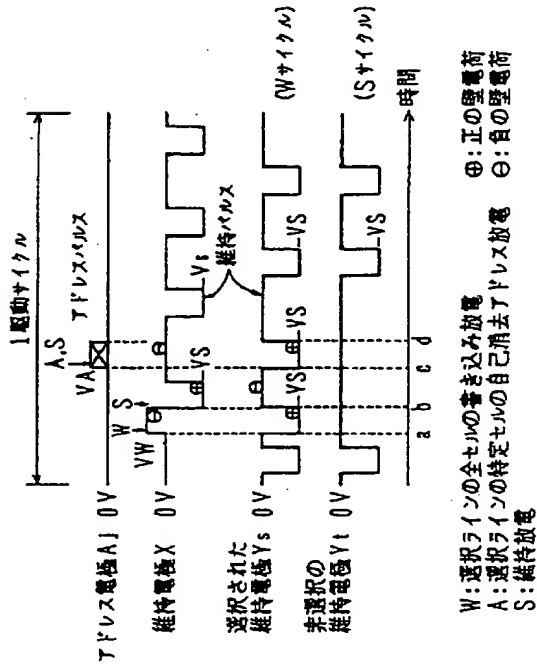
【図 13】

図 12 の続きを示す波形図



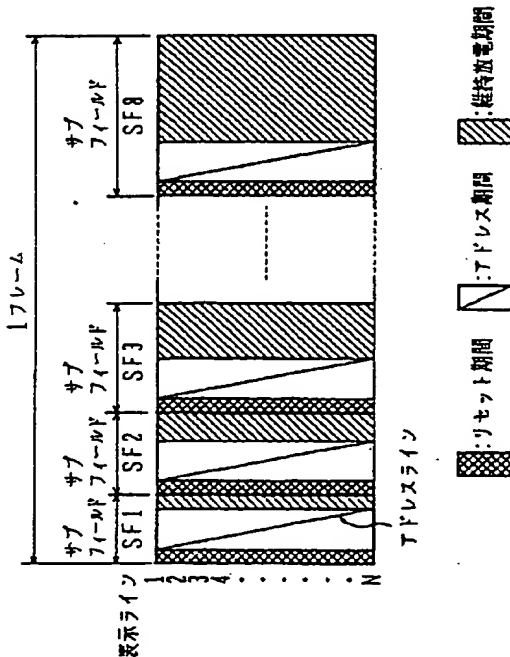
【図15】

従来の第1のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図



【図18】

図17の方法を用いて256階調表示するための1フィールドの構成図



【図17】

従来の第2のプラズマディスプレイパネル駆動方法を示す電極印加電圧波形図

